

DIALOG(R)File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

05958450 **Image available**
ELECTRON SOURCE FORMATION SUBSTRATE, ELECTRON SOURCE, IMAGE FORMING DEVICE
AND THEIR MANUFACTURE

PUB. NO.: 10 -241550 [JP 10241550 A]
PUBLISHED: September 11, 1998 (19980911)
INVENTOR(s): NISHIMURA MICHIO
 KAWADE ISAAKI
 MIYAZAKI KAZUYA
APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 09-361302 [JP 97361302]
FILED: December 26, 1997 (19971226)
INTL CLASS: [6] H01J-001/30; H01J-009/02; H01J-031/12
JAPIO CLASS: 42.3 (ELECTRONICS -- Electron Tubes)
JAPIO KEYWORD: R003 (ELECTRON BEAM); R044 (CHEMISTRY -- Photosensitive
 Resins); R094 (ELECTRIC POWER -- Linear Motors); R105
 (INFORMATION PROCESSING -- Ink Jet Printers); R115 (X-RAY
 APPLICATIONS)

ABSTRACT

PROBLEM TO BE SOLVED: To prevent the adverse effect of the diffusion of sodium into a conductive film composed of an electron emission element by setting the sodium content of at least a surface layer region for arranging the electron emission element to be smaller than those of the other regions in a substrate containing sodium for arranging the electron emission element.

SOLUTION: An Na removed layer, an Na captured layer or the stacked layer structure of both or a surface treated layer 6 such as a desulfurized layer are formed in the surface of a blue glass substrate 1, and then element electrodes 2 and 3 are formed. A conductive film 4 is formed to cover the element electrodes 2 and 3 and the surface of the surface-treated layer 6. Then, an electron emission part 5 is constructed to have a changed structure where the conductive film 4 is locally broken, deformed or transformed by conductive forming. Thus, variance in the characteristics of the electron emission element or the deterioration of characteristics is suppressed, and the electron emission element is formed by using the blue glass substrate 1 excellent in machining such as joining and advantageous in costs.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-241550

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 J 1/30
9/02
31/12

H 0 1 J 1/30
9/02
31/12

E
E
C

審査請求 未請求 請求項の数34 O L (全 26 頁)

(21) 出願番号 特願平9-361302

(22) 出願日 平成9年(1997)12月26日

(31) 優先権主張番号 特願平8-347929

(32) 優先日 平8(1996)12月26日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平8-347930

(32) 優先日 平8(1996)12月26日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平8-347933

(32) 優先日 平8(1996)12月26日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 西村 三千代

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 河出 一佐哲

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 宮崎 和也

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

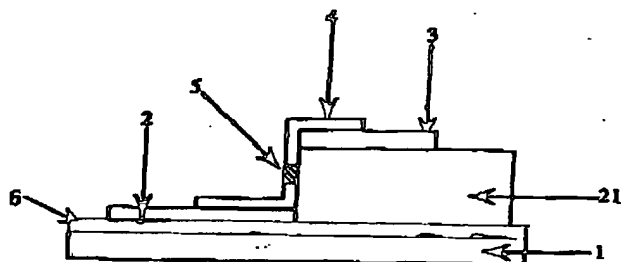
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 電子源形成用基板、電子源、画像形成装置、及びそれらの製造方法

(57) 【要約】

【課題】 NaおよびSの導電性膜などへの拡散による悪影響を回避できる電子源形成用基板、電子源、画像形成装置、及びそれらの製造方法。

【解決手段】 電子放出素子が、その表面上に配置される基板であって、該基板は、ナトリウムを含有する基板であり、該基板の少なくとも該電子放出素子が配置される側の表層領域の該ナトリウムの含有濃度が、他の領域よりも小さくなっていることを特徴とする基板、電子源、画像形成装置、及びそれらの製造方法。



【特許請求の範囲】

【請求項1】 電子放出素子が、その表面上に配置される基板であって、該基板は、ナトリウムを含有する基板であり、該基板の少なくとも該電子放出素子が配置される側の表層領域の該ナトリウムの含有濃度が、他の領域よりも小さくなっていることを特徴とする基板。

【請求項2】 前記表層領域は、該電子放出素子が配置される表面から1 μ m～40 μ mの範囲内の厚さを有する請求項1に記載の基板。

【請求項3】 前記電子放出素子が配置される表面でのナトリウム濃度が、2%以下である請求項1または2に記載の基板。

【請求項4】 前記表層領域は、カリウムを含有する請求項1～3の何れか一項に記載の基板。

【請求項5】 前記カリウムは、該基板のナトリウムを置換したものである請求項4に記載の基板。

【請求項6】 前記電子放出素子が配置される表面に、リン含有層を有する請求項1～5の何れか一項に記載の基板。

【請求項7】 前記リン含有層中のリンの含有濃度は、3%～10%の範囲内である請求項6に記載の基板。

【請求項8】 更に、硫黄を含有する基板であって、該基板の少なくとも該電子放出素子が配置される側の表層領域の該硫黄の含有濃度が、他の領域よりも小さくなっている請求項1～7の何れか一項に記載の基板。

【請求項9】 前記電子放出素子が配置される表面での硫黄濃度が、0.1%以下である請求項8に記載の基板。

【請求項10】 前記電子放出素子は、電極間に、電子放出部を有する導電性膜を備える電子放出素子である請求項1～9の何れか一項に記載の基板。

【請求項11】 基板と、該基板表面上に配置された電子放出素子とを有する電子源であって、該基板は、ナトリウムを含有する基板であり、該基板の少なくとも該電子放出素子が配置される側の表層領域の該ナトリウムの含有濃度が、他の領域よりも小さくなっていることを特徴とする電子源。

【請求項12】 前記表層領域は、該電子放出素子が配置される表面から1 μ m～40 μ mの範囲内の厚さを有する請求項11に記載の電子源。

【請求項13】 前記電子放出素子が配置される表面でのナトリウム濃度が、2%以下である請求項11または12に記載の電子源。

【請求項14】 前記表層領域は、カリウムを含有する請求項11～13の何れか一項に記載の電子源。

【請求項15】 前記カリウムは、該基板のナトリウムを置換したものである請求項14に記載の電子源。

【請求項16】 前記電子放出素子が配置される表面に、リン含有層を有する請求項11～15の何れか一項に記載の電子源。

【請求項17】 前記リン含有層中のリンの含有濃度は、3%～10%の範囲内である請求項16に記載の電子源。

【請求項18】 更に、硫黄を含有する基板であって、該基板の少なくとも該電子放出素子が配置される側の表層領域の該硫黄の含有濃度が、他の領域よりも小さくなっている請求項11～17の何れか一項に記載の電子源。

【請求項19】 前記電子放出素子が配置される表面での硫黄濃度が、0.1%以下である請求項18に記載の電子源。

【請求項20】 前記電子放出素子は、電極間に、電子放出部を有する導電性膜を備える電子放出素子である請求項11～19の何れか一項に記載の電子源。

【請求項21】 基板と該基板表面上に配置された電子放出素子とを有する電子源と、該電子源からの電子の照射により画像を形成する画像形成部材とを備える画像形成装置であって、該電子源は、請求項11～20の何れか一項に記載の電子源であることを特徴とする画像形成装置。

【請求項22】 基板と、該基板表面上に配置された電子放出素子とを有する電子源の製造方法であって、ナトリウムを含有し、少なくとも該電子放出素子が配置される側の表層領域の該ナトリウムの含有濃度が、他の領域よりも小さくなっている基板の該表面上に該電子放出素子を形成する工程を有することを特徴とする電子源の製造方法。

【請求項23】 前記表層領域の該ナトリウムの含有濃度を、他の領域よりも小さくする工程を有し、該工程は、基板中のナトリウムを硫酸塩として析出させて洗浄する処理工程を有する請求項22に記載の電子源の製造方法。

【請求項24】 前記表層領域は、該電子放出素子が配置される表面から1 μ m～40 μ mの範囲内の厚さを有する請求項22または23に記載の電子源の製造方法。

【請求項25】 前記電子放出素子が配置される表面でのナトリウム濃度が、2%以下である請求項22～24の何れか一項に記載の電子源の製造方法。

【請求項26】 前記表層領域は、カリウムを含有する請求項22～25の何れか一項に記載の電子源の製造方法。

【請求項27】 前記カリウムは、該基板のナトリウムを置換したものである請求項26に記載の電子源の製造方法。

【請求項28】 前記電子放出素子が配置される表面に、リン含有層を有する請求項22～27の何れか一項に記載の電子源の製造方法。

【請求項29】 前記リン含有層中のリンの含有濃度は、3%～10%の範囲内である請求項28に記載の電子源の製造方法。

【請求項30】更に硫黄を含有する基板であって、該基板の少なくとも該電子放出素子が配置される側の表層領域の該硫黄の含有濃度が、他の領域よりも小さくなっている請求項22～29の何れか一項に記載の電子源の製造方法。

【請求項31】前記電子放出素子が配置される表面での硫黄濃度が、0.1%以下である請求項30に記載の電子源の製造方法。

【請求項32】前記電子放出素子は、電極間に、電子放出部を有する導電性膜を備える電子放出素子である請求項22～31の何れか一項に記載の電子源の製造方法。

【請求項33】基板と該基板表面上に配置された電子放出素子とを有する電子源と、該電子源からの電子の照射により画像を形成する画像形成部材とを備える画像形成装置の製造方法であって、該電子源が、請求項22～32の何れか一項に記載の方法にて製造されることを特徴とする画像形成装置。

【請求項34】更に、前記電子源と前記画像形成部材を内包する容器を封着するための加熱工程を有する請求項33に記載の画像形成装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、対向して設けられた一対の素子電極と、該一対の素子電極に接続し、その一部に電子放出部を有する導電性膜とを有する電子放出素子を1ないし複数基板上に配置してなる電子源とその製造方法、該電子源を用いた画像形成装置およびその製造方法ならびに該電子源の形成に使用する電子源形成用基板に関する。

【0002】

【従来の技術】従来、電子放出素子としては大別して熱電子放出素子と冷陰極電子放出素子の2種類のものが知られている。冷陰極電子放出素子には電界放出型（以下、「FE型」という。）、金属／絶縁層／金属型（以下、「MIM型」という。）や表面伝導型電子放出素子等がある。FE型の例としてはW. P. Dyke & W. W. Dolan, "Field emission", *Advance in Electron Physics*, 8, 89 (1956)あるいはC. A. Spindt, "PHYSICAL Properties of thin-film field emission cathodes with molybdenum cones", *J. Appl. Phys.*, 47, 5248 (1976)等に掲載されたものが知られている。

【0003】MIM型の例としてはC. A. Mead, "Operation of Tunnel-Emission Devices", *J. Apply. Phys.*, 32, 646 (1961)等に掲載されたもの

が知られている。

【0004】表面伝導型電子放出素子型の例としては、M. I. Elinson, *Recio Eng. Electron Phys.*, 10, 1290, (1965)等に掲載されたものがある。

【0005】表面伝導型電子放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリソン等によるSnO₂薄膜を用いたもの、Au薄膜によるもの[G. Dittmer: "Thin Solid Film" 9, 317 (1972)]、In₂O₃/SnO₂薄膜によるもの[M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf." 519 (1975)]、カーボン膜によるもの[荒木久他: 真空、第26巻、第1号、22頁(1983)]等が報告されている。

【0006】また、表面伝導型電子放出素子の更なる改善に関し、本出願人により、多数の提案がなされている。

【0007】図20AおよびBに上記表面伝導型電子放出素子の典型的な構成を模式的に示す。図20Aは平面図、Bは断面図である。1は基体、2、3は基体上に対向して設けられた一対の素子電極、4は上記素子電極2、3に接続する導電性膜であり、その一部に電子放出部を有する。従来、該電子放出部の形成は、導電性膜4に通電フォーミングと呼ばれる通電処理によって形成するのが一般的であった。即ち、通電フォーミングとは前記導電性膜4が接続する上記一対の素子電極2、3の間に電圧を印加して該導電性膜に電流を流し、導電性膜を局部的に破壊、変形もしくは変質せしめ、電気的に高抵抗な状態にした電子放出部5を形成することである。尚、電子放出部5は導電性膜4の一部に亀裂が発生しその亀裂付近から電子放出が行われる。なお、上記通電フォーミング処理の際に印加される電圧は、直流電圧あるいはゆっくりと上昇する電圧であっても良いが、良い電子放出特性を得るためにはパルス電圧を繰り返し印加するのが好ましい。パルス電圧の波高値は一定に保持する方法、徐々に上昇させる方法など条件に応じて様々なものを採用しうる。

【0008】なお、上記通電フォーミング処理により好ましい電子放出特性を示す様に電子放出部を形成するためには、上記導電性膜は導電性微粒子により形成されたものであることが望ましい。上記のような導電性微粒子よりなる導電性膜を形成する方法は、特に限定されるものではないが、有機金属化合物を含む溶液を塗布して有機金属化合物の膜を形成した後、これを加熱処理して、金属および／または金属化合物の微粒子からなる導電性膜とする方法が挙げられる。この方法によれば、ガスデポジション法のように大型の真空装置を必要としない

め、生産コストの低減の観点からも望ましい。また、インクジェット装置を用いた蒸気溶液を膜を形成する部分のみに塗布する方法を用いれば、導電性膜のパターニングのための別の工程を設ける必要がなく、同様の利点を有する。

【0009】上記導電性膜の材質としては、Pdの有機化合物を大気中で加熱処理して形成したPdOの微粒子を例としてあげることが出来る。この加熱処理は300～400℃、十数分程度で行うのが典型的である。PdOは適度な導電性を有し、上記の通電フォーミング処理による電子放出部の形成を首尾よく行うことが出来る。更に、PdOは真空中で加熱したり、還元性のガスに曝露することにより、比較的容易に還元してPdに変化させることが出来る。上記の通電フォーミング処理による電子放出部形成を完了した後に、PdOを還元してPdとすることで、導電性膜の抵抗値を2桁程度低下させることが出来る。一旦電子放出部が形成された後には、導電性膜の抵抗を下げた方が素子の特性にとって好ましい場合があり、その場合には上記のような方法を利用することが出来る。

【0010】上記のような構成を有する電子放出素子を、基体上に複数配置して構成された電子源、およびそれを用いた画像形成装置についても、上記の中で示されている。電子源を、内部を真空中に保持した外囲器中に保持して利用するためには、該電子源と外囲器、その他の部材とを接合する必要がある。この接合は、フリットガラスを用いて加熱、融着して行うのが一般的である。この時の加熱温度は、400～500℃程度が典型的で、時間は外囲器の大きさなどによって異なるが10分～1時間程度が典型的である。

【0011】なお、外囲器の材質としては、フリットガラスによる接合が容易で確実であると言う点から、青板ガラスを用いることが好ましい。また、青板ガラスは比較的安価であると言う点からもまた好ましい。基体の材質としては、外囲器と熱膨張係数を合わせる必要性や、基体自体の外囲器との接合の確実性等から、同様に青板ガラスを用いることが望ましい。

【0012】

【発明が解決しようとする課題】しかしながら、上記のように青板ガラスを基体として用いた場合には、以下の

【0013】すなわち、青板ガラスには成分としてアルカリ金属元素、特にNaがNa₂Oとして大量に含有されている。Na元素は熱による拡散が生じ易いため、プロセス中で高温にさらされると、青板ガラス上に形成された各種部材、特に導電性膜中にNaが拡散し、その特性を変化させる場合がある。

【0014】上述のように、有機金属化合物を加熱処理して金属酸化物の微粒子膜を形成する場合には、例えば300～400℃の温度に十数分間保持される。この際

基板中のNaが、導電性膜中に拡散する恐れがある。

【0015】導電性膜がPdO等の導電性の金属酸化物よりなる場合、上述したようにフォーミング処理による電子放出部形成の後に、還元処理を施し電気抵抗を低下させる処理を行う場合があるが、PdO膜中にNaが多く存在すると還元反応の速度が遅くなる場合がある。反応速度の遅くなる程度はNaの量に応じて敏感に変化するため、多数の電子放出素子の特性を均一にそろえることが困難になる。予備的な検討によれば、PdO膜中の金属元素のmole比で、Na含有量が1000p.p.m.以下であれば、還元速度の低下はあまり重大ではないが、それを超えると還元にかかる時間が急激に延び始めることが確かめられた。図21に、H₂:2%-N₂:98%混合ガスに曝露して還元したときの、導電性膜の電気抵抗の変化を示す。

【0016】また、導電性膜中のNaの含有量を、上述のように1000p.p.m.以下とするためには、予備的な検討により、該導電性膜が形成されている基板の表面において、全金属元素（なお、以下では便宜上、基板の成分について述べる場合、Na, K, Ca, Mg等のほか、Si, Pも「金属元素」と呼ぶ。）に対するNaの比が2at.%以下とすれば良いことがわかった。なお、上述の基板表面におけるNaの含有量は、2次イオン質量分光法（SIMS）の測定から後述する方法により得られた値で、表面から5nm程度の深さまでの量である。

【0017】なお、還元処理に対する影響は、Naだけでなく、同じく基板中に含まれるSも同様に影響する可能性がある。Sが還元処理に影響するメカニズムは良く分かっていないが、次のようなメカニズムが考えられよう。SがPdO中に入るとPdSが形成され、これは還元処理によってもほとんど還元されずに残る。しかし、基板に含まれるSの量はわずかであり、これだけで還元反応への影響を説明することは出来ない。還元されにくいPdSが導電性膜を形成するPdO微粒子の表面に形成されこれが還元反応の進行が妨げるのではないだろうか。

【0018】いずれにしてもSが基板中に含まれていると、その量が少なくとも多少影響が出る場合があり、基板表面付近のSは出来るだけ減少させておくことが望ましく、実用的には簡易な測定による検出限界以下にすることが望ましい。具体的には、比較的簡易で定量性のあるX線光電子分光分析法による通常の測定で、検出限界である0.1at.%（この値は、深さ5nmまでの領域の全原子に対する比率である。）程度以下とすることが望ましい。

【0019】いずれにしても、還元のされ方が素子ごとに異なると、電子放出を生じさせるとき、実効的に各素子の電子放出部にかかる電圧が異なり、これも電子放出特性のバラツキの要因となる。また、還元が不完全で、

10

20

30

40

50

導電性膜の抵抗値が高い場合には、放出電流の値が低下する場合がある。

【0020】電子源の基板、外囲器の部材などをフリットガラスを用いて融着、接合する場合には、更に高温にさらされるため、Na（及びS）の導電性膜中への拡散量は大幅に増え、事態が一層深刻となってしまう。

【0021】しかしながら、基板に石英など青板ガラス以外の材質を用いることは、材料自体も高価であるだけでなく、接合などの加工が困難になるため、避ける必要がある。

【0022】このために用いられる方法の一つは、青板ガラス基板の表面に、SiN（特開平8-162001）あるいはSiO₂膜をスパッタリングなどの方法により形成することである。しかしながら、この方法では青板ガラス基板とSiNあるいはSiO₂膜の間に応力が生じ、SiNあるいはSiO₂をあまり厚くすると剥離してしまうため、厚さに限度があり、プロセスでの処理条件が高温・長時間になった場合、十分な効果が得られなくなる。また、膜の形成のためにはスパッタリング装置が必要で、基板の大きさに対しかなり大きな装置が必要となり、製造コストを増大させる原因にもなる。

【0023】従って、このような方法によらず、上記NaおよびSの、導電性膜などへの拡散による悪影響を回避する方法が必要である。

【0024】

【課題を解決するための手段】上記課題を解決するためになされた本発明の構成について以下に説明する。

【0025】本発明は、電子放出素子が、その表面上に配置される基板であって、該基板は、ナトリウムを含有する基板であり、該基板の少なくとも該電子放出素子が配置される側の表層領域の該ナトリウムの含有濃度が、他の領域よりも小さくなっていることを特徴とする基板であり、基板と、該基板表面上に配置された電子放出素子とを有する電子源であって、該基板は、ナトリウムを含有する基板であり、該基板の少なくとも該電子放出素子が配置される側の表層領域の該ナトリウムの含有濃度が、他の領域よりも小さくなっていることを特徴とする電子源であり、基板と該基板表面上に配置された電子放出素子とを有する電子源と、該電子源からの電子の照射により画像を形成する画像形成部材とを備える画像形成装置であって、該電子源は、本発明の電子源であることを特徴とする画像形成装置であり、基板と、該基板表面上に配置された電子放出素子とを有する電子源の製造方法であって、ナトリウムを含有し、少なくとも該電子放出素子が配置される側の表層領域の該ナトリウムの含有濃度が、他の領域よりも小さくなっている基板の該表面上に該電子放出素子を形成する工程を有することを特徴*

$$C/C_s = \operatorname{erfc} [d / \{2(Dt)^{1/2}\}] \quad (1)$$

が成り立つ。ここで $\operatorname{erfc}(x)$ は補誤差関数（error function complement）で※50 $f(x)$ とは

*とする電子源の製造方法であり、基板と該基板表面上に配置された電子放出素子とを有する電子源と、該電子源からの電子の照射により画像を形成する画像形成部材とを備える画像形成装置の製造方法であって、該電子源が、本発明の方法にて製造されることを特徴とする画像形成装置である。

【0026】本発明は、対向する一対の素子電極と、該素子電極に接続し、電子放出部を含む導電性膜とよりなる電子放出素子を、基体上に1つないし複数有してなる電子源、それを用いた画像形成装置およびそれらの製造方法であり、とりわけ上記電子源の基体に特徴を有するものである。すなわち、上記基体の本体は接合などの加工に適したNaを含有するガラス、例えばいわゆる「青板ガラス」よりなり、その組成には多くの種類があるが、前記の青板ガラスは、おおむねSiO₂:69~75%, Na₂O:10~17%, その他にK₂O, CaO, MgO等を含むものである。

【0027】本発明の電子源および画像形成装置の構成上の特徴は、上記基体の少なくとも電子放出素子の設けられている側の面の、電子放出素子の設けられている領域において、Naの濃度が深さ方向に分布を有し、基体の内部のNa濃度が一定となっている領域のNa濃度よりも表面におけるNa濃度が低くなっていることである。

【0028】続いて上記の本発明の電子源および画像形成装置を実現するための、製造方法の特徴について述べる。本発明の第1の実施形態においては、その製造に用いる基体は初期の状態において、その表面にNaの含有量を減少させた領域（脱Na処理層）を有するものであり、組成としては全金属元素に対するNaの比率が2at.%以下となっていることを要する。

【0029】この層の必要な厚さdは、電子源ないし画像形成装置の形成工程において上記基体がさらされる熱処理温度T（K）と熱処理時間t（sec.）の関数として決まり、熱処理によるNaの拡散により基体表面の脱Na処理層と導電性膜の界面でのNaの含有量が上昇しても、全金属元素に対し2at.%以下に抑えられるように設定される。

【0030】これは、実験により求めることも出来るが、1次元の拡散モデルからおよその値を見積もることが出来る。すなわち、基体本体のNaの濃度をC_s、脱Na処理層と導電性膜の界面でのNa濃度をC、脱Na処理層の厚さをd、脱Na処理層中でのNaの拡散係数をDとし、脱Na処理層中には実質的にNaが存在せず、基体本体の脱Na処理層との界面近傍でのNa濃度は不変であるとして単純化すると、次の関係

$$\operatorname{erfc}(x) = 1 - \operatorname{erf}(x)$$

(2)

の関係にある。誤差関数 $\operatorname{erf}(x)$ は、

【0031】

【数1】

$$\operatorname{erf}(x) = \frac{2}{\sqrt{\pi}} \int_0^x \exp(-y^2) dy \quad (3)$$

で定義される。なお、上記の拡散係数 D は、濃度があまり高くない場合には、濃度に依らず、

$$D = D_0 \exp[-E_a/kT] \quad (4)$$

で表される。 D_0 は定数、 E_a は活性化エネルギー、 k は Boltzmann 定数 ($\sim 1.38 \times 10^{-23}$ である。 SiO_2 中での拡散係数は、室温で 1.0×10^{-21} ($\text{cm}^2/\text{sec.}$)、 450°C (723K) で 6.1×10^{-9} (cm^2/sec 程度という値が得られており、これから $E_a = 1.7 \times 10^{-19}$ (J)、 $D_0 = 1.1 \times 10^{-1}$ ($\text{cm}^2/\text{sec.}$) 程度と求められる。これらを用いて、熱処理工程に耐えることの出来る脱 Na 処理層の厚さを見積もることが出来る。

【0032】実際には、基体本体から、脱 Na 処理層へ Na が拡散して行くと、界面における Na の量は減少するので、上記のモデルから求めた厚さよりも若干薄くても期待できる場合もある。

【0033】上述したように、脱 Na 処理層表面での Na の含有量が (全金属元素に対して) 2 at. % 以下となるためには、基体内部に比べて $1/10 \sim 1/15$ 程度に減少していることが必要で、上述の式 (1) によれば、脱 Na 処理層の上記の $(Dt)^{1/2}$ の 2.4 倍程度であれば良い事がわかる。

【0034】例えば、有機金属化合物を加熱処理して導電性膜を形成する工程が、 350°C 10 分間の熱処理であるとする、上記の活性化エネルギーの値から、拡散係数は $D = 2.9 \times 10^{-10}$ ($\text{cm}^2/\text{sec.}$) となり、約 $10 \mu\text{m}$ の厚さが必要となる。また、基体と外囲器の部材との接合には更に高温の処理が必要であり、例えば 450°C 10 分間の熱処理を行う場合には、約 $50 \mu\text{m}$ の厚さが必要となる。

【0035】本発明の電子源および画像形成装置の作成条件を考慮し、前記の式により脱 Na 処理層の条件を設定する。基板として利用可能な青板ガラスの組成には、様々なものがあるが、全金属元素に対する Na の比率すなわち、式 (1) の Cs は 20 at. % 程度である。式 (4) の係数 D_0 として上に示した値は、緻密に形成された SiO_2 に対するものであり、実際の基板においてはこれよりも大きくなる場合があり、最大で上記の値の 2 倍程度となる。導電性膜を有機金属化合物の熱分解により形成する場合の加熱温度は、有機金属化合物の分解温度より高くする必要がある。導電性膜として Pd あるいは PdO ないし両者の混合物を用いる場合、化合物の種類にもよるが、有機 Pd 化合物が分解して金属 * 50

* Pd となるためには、 250°C 以上が必要である。また、加熱時の雰囲気などにもよるが、Pd が酸化されて PdO となるためには更に高温とする必要があり、最高で 400°C に加熱する場合がある。この処理に要する時間は、5 分から 20 分程度である。以上の条件から導電性膜形成のための加熱処理に対処するために必要な、脱 Na 処理層の厚さは、条件に応じて $1 \sim 40 \mu\text{m}$ の範囲となる。

10 【0036】また、本発明の電子源を用いた画像形成装置を形成するために様々な部材を接合するのに、フリットガラスを用いて接合する場合には、 $400 \sim 500^\circ\text{C}$ の加熱処理を行う。処理に必要な時間は $10 \sim 20$ 分程度である。この条件を考慮すると、式 (1) から必要な脱 Na 処理層の厚さは $20 \sim 140 \mu\text{m}$ である。もちろんこれよりも厚い処理層を形成すれば Na に起因する問題に対処できるのであるが、この層があまり厚くなると何らかの悪影響があるかもしれないので、不必要に厚くせず、上記の範囲の適当な厚さとすることが望ましい。

20 なお、上記画像形成装置の部材の接合には、上述の温度よりも低温の加熱処理で接合できるフリットガラスを用いる事もでき、その場合には上記脱 Na 処理層の厚さはもっと薄くても良く、上述の値に限定されるものではない。

【0037】なお、上記脱 Na 処理層は、電子放出素子の導電性膜の形成される部分にあれば効果があり、更に配線などの形成される部分に形成された場合にも、条件によっては材料の特性の変化を抑制する効果が期待できる。一方、外囲器の部材などと接合する部分では、基体本体と同様に Na_2O を含む組成の方がフリットガラスとの接着性がよいので、この部分には上記脱 Na 処理層を設けない方が好ましい。このように、一部に脱 Na 処理層を設けないようにするためには、脱 Na 処理を、当該部分をマスクなどで覆って行えばよい。

【0038】脱 Na 処理の方法としては、Na がガラス中で移動しやすいことを利用し、基体表面に硫酸塩として析出させることにより、表面近傍の Na イオンを外部に取り出し、これを水などで洗浄する方法が好ましく用いられる。基体表面に硫酸塩として析出させる方法としては、二酸化硫黄 SO_2 を含む雰囲気中で高温に保持する方法、基体表面に硫黄アンモニウムを置き、これを高温に保持する方法などが使用できる。

【0039】析出した硫酸ナトリウムは水により洗浄することが出来る。洗浄後は脱 Na 処理層表面に水が含まれた状態になっているので、乾燥工程を行うのが望ましい。この時あまり温度を高くすると、基体内部の Na が再び脱 Na 処理層中に拡散するので、適当な温度たとえば 120°C 程度に設定する。

【0040】本発明の第 2 の実施形態の特徴は、上記青板ガラスよりなる基体の表面に、Na 捕獲層を形成する

ものである。Na捕獲層とは、Naイオンの拡散を抑制する材質よりなる層であり、具体的な材質としては、SiO₂を主成分とし、リン(P)を3~10%程度含有するガラス、あるいは青板ガラス中のNaをKで置換したガラス、があげられる。このような材質の層を設けることにより、青板ガラス中のNaが上記電子放出素子の導電性膜などの部材中に入り込み、その特性を変化させるのを防ぐことが出来る。Na捕獲層の形成方法は、化学気相堆積(CVD)法などの薄膜堆積法、あるいは青板ガラスを溶融したカリウム塩に浸漬し、NaとKのイオン交換を行う方法などが具体的に挙げられる。

【0041】上述の第1の実施形態の方法に比較し、Naの拡散速度が遅いため、Na捕獲層は比較的薄くても効果が期待できる。

【0042】また、第1の実施形態の場合と同様に、外囲器の部材などとの接合部材においては、Na捕獲層を形成せず、フリットガラスと青板ガラスの基体が直接接合するようになっている方が好ましい。

【0043】なお、第1の実施形態と第2の実施形態とを併用することも可能である。

【0044】上記の方法により形成された電子源および画像形成装置の基体の、電子放出素子の形成されている領域におけるNa濃度の深さ方向の分布は、例えば2次元質量分光法(SIMA)を用いて測定することが出来る。図21はその結果を模式的に示したものである。

【0045】上述の基体に形成されたNa濃度の低い層すなわち脱Na処理層、Na捕獲層のNa濃度のプロファイルは上述した加熱処理を経て電子源、ないしそれを用いた画像形成装置として完成した時点では元のまま残っているのではない。

【0046】図21の曲線cは、上記の脱Na処理層、Na捕獲層が形成された直後のNa濃度プロファイルを示す。本発明の方法により形成された電子源ないし画像形成装置では、上記のNa濃度は、曲線aで示す様に変化する。すなわち、基体の内部では一定でありこれは上記のNa濃度の低下した層を設ける前のガラスの値と一致し、基体の表面付近ではその値は内部での値より小さくなっている。また、Na濃度が基体内部での値に達する深さは、はじめに形成したNa濃度の低い層の厚さdにはほぼ一致していた。図ではこの深さをd'で示した。

【0047】これに対し、Na濃度の低い層を設けなかった場合、あるいはその厚さが製造中の加熱処理条件に対して不十分であった場合には、曲線bで示すように、基体表面でのNa濃度が内部の値よりも上昇していることが分かった。これは、基体内部から表面に向かってNaが拡散し、これが表面付近に偏析したためと考えられる。なお、曲線aでは表面のごく近くではNa濃度が若干上昇し、曲線bでは逆に若干低下しているが、これはコンタミネーションや、測定の際のクリーニングによる

影響で、本質的なものではない。したがって、Cs aないしCs bとして示したようにコンタミネーションなどの影響を受けない表面から少し下のピークの値を表面におけるNa濃度とみなして、測定を行った。

【0048】基体表面でのNa濃度が内部よりも低くなっている場合には、Naの悪影響を抑制するための何らかの効果があるが、表面付近での濃度が、全金属元素に対するNaの比率として2%以下に止まっていれば顕著な効果が期待される。

10 【0049】本発明の第3の実施形態は、基本表面に脱硫処理層を設けることである。青板ガラス中には若干ではあるがSが含まれる場合があり、導電性膜中にSが入り込むと、還元処理の速度が遅くなったり、処理が不完全になったりする場合がある。なお、Sは基体のみから発生するのではなく、プロセス中の様々な要因により、Sによる汚染が生ずる恐れがある。このため、必要に応じてプロセスの各段階で脱硫処理を行う場合があるが、基体中のSに関しては最初に処理しておく必要がある。なお、上述した脱Na処理によって、Sの除去が同時になされる場合があり、この場合には脱Na処理の効果と同時に脱硫処理の効果を得ていることになる。しかし、場合によっては脱硫処理を別途行うことにより一層の効果が得られる場合もある。脱硫処理層のS濃度は0.1 at. %以下、その厚さは0.01 μm以上であることが望ましい。また、Sによる悪影響は、基体が上記のNaを多く含む青板ガラスでなくても生じる場合があり、この処理による効果は、青板ガラスの場合に限らない。

【0050】

20 【発明の実施の形態】本発明を適用する電子放出素子およびその製造方法について説明する。図1Aおよび1Bに本発明の電子放出素子の構造を模式的に示す。図1Aは平面図、図1Bは断面図である。1は青板ガラスよりなる基体の本体、2、3は素子電極、4は導電性膜、5は電子放出部である。6は脱Na処理層、Na捕獲層、あるいはその両者の積層構造、あるいは脱硫処理層を示す。

【0051】図2に本発明を適用電子放出素子の別の構造の例を、模式的に示す。21は段差形成部材であり、電子放出部5が段差形成部材の側面に形成されて構成となっている。段差形成部材の材質は、スパッタリング法で形成されたSiO₂膜など、NaおよびSの含有量が十分に少ないものを用いる。

40 【0052】素子電極2、3の材料としては、一般的な導体材料を用いることができる。これは例えばNi、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属或は合金及びPd、Ag、Au、RuO₂、Pd-Ag等の金属或は金属酸化物とガラス等から構成される印刷導体、In₂O₃-SnO₂等の透明導電体及びポリシリコン等の半導体導体材料等から適宜選択することができる。

【0053】素子電極間隔L、素子電極長さW、導電性膜4の形状等は、応用される形態等を考慮して、設計される。素子電極間隔Lは、好ましく、数百nmから数百 μ mの範囲とすることができ、より好ましくは、数 μ mから数十 μ mの範囲とすることができる。

【0054】素子電極長さWは、電極の抵抗値、電子放出特性を考慮して、数 μ mから数百 μ mの範囲とすることができる。素子電極2、3の膜厚は、数十nmから数 μ mの範囲とすることができる。

【0055】尚、図1および2に示した構成だけでなく、基板1の表面処理層6上（あるいは更に段差形成部材21上）に、導電性膜4、対向する素子電極2、3の順に積層した構成とすることもできる。

【0056】導電性膜4には、良好な電子放出特性を得るために、微粒子で構成された微粒子膜を用いるのが好ましい。その膜厚は、素子電極2、3へのステップカバレッジ、素子電極2、3間の抵抗値及び後述するフォーミング条件等を考慮して適宜設定されるが、通常は、0.1nmの数倍から数百nmの範囲とするのが好ましく、より好ましくは1nmより50nmの範囲とするのが良い。その抵抗値は、 R_s が 10^2 から $10^7 \Omega/\square$ の値である。なお R_s は、厚さが t 、幅が w で長さが1の薄膜の長さ方向に測定した抵抗 R を、 $R = R_s (1/w)$ とおいたときに現れる量で、薄膜の抵抗率を ρ とすると、 $R_s = \rho/t$ である。本願明細書において、フォーミング処理については、通電処理を例に挙げて説明するが、フォーミング処理はこれに限られるものではなく、膜に亀裂を生じさせて高抵抗状態を形成する処理を包含するものである。

【0057】導電性膜4を構成する材料は、Pd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pd等の金属、PdO、SnO₂、In₂O₃、PbO、Sb₂O₃等の酸化物等の中から適宜選択される。

【0058】電子放出部5は、導電性膜4の一部に形成された高抵抗の亀裂により構成され、導電性膜4の膜厚、膜質、材料及び後述する通電フォーミング等の手法等に依存したものとなる。電子放出部5の内部には、0.1nmの数倍から数十nmの範囲の粒径の導電性微粒子が存在する場合もある。この導電性微粒子は、導電性膜4を構成する材料の元素の一部、あるいは全ての元素を含有するものとなる。電子放出部5及びその近傍の導電性膜4には、炭素及び/または炭素化合物を有することもできる。

【0059】上述の電子放出素子の製造方法としては様々な方法があるが、その一例を図3に模式的に示す。

【0060】以下、図1及び図3を参照しながら製造方法の一例について説明する。図3においても、図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。

【0061】1) 青板ガラス製の基体1の表面に、表面処理層6を形成した後、洗剤、純水および有機溶剤等を用いて十分に洗浄し、真空蒸着法、スパッタ法等により素子電極材料を堆積後、例えばフォトリソグラフィ技術を用いて素子電極2、3を形成する。あるいはオフセット印刷、スクリーン印刷法により適当な印刷材料を所定形状に配置し、加熱処理して素子電極2、3を形成する。(図3(a))。

【0062】2) 素子電極2、3を設けた表面処理層6上に、有機金属溶液を塗布して、有機金属薄膜を形成する。有機金属溶液には、前述の導電性膜4を構成する主な金属元素を主元素とする有機金属化合物の溶液を用いることができる。有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターンニングし、導電性膜4を形成する(図3(b))。ここでは、有機金属溶液の塗布法を挙げて説明したが、導電性膜4の形成法はこれに限られるものでなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピナー法等を用いることもできる。

【0063】3) つづいて、フォーミング工程を施す。このフォーミング工程の方法の一例として通電処理による方法を説明する。素子電極2、3間に、不図示の電源を用いて、通電を行うと、導電性膜4の部位に、構造の変化した電子放出部5が形成される(図3(c))。通電フォーミングによれば導電性膜4に局所的に破壊、変形もしくは変質等の構造の変化した部位が形成される。該部位が電子放出部5を構成する。通電フォーミングの電圧波形の例を図4に示す。

【0064】電圧波形は、パルス波形が、好ましい。これにはパルス波高値を定電圧としたパルスを連続的に印加する図4Aに示した手法とパルス波高値を増加させながら、電圧パルスを印加する図4Bに示した手法がある。

【0065】図4AにおけるT1及びT2は電圧波形のパルス幅とパルス間隔である。通常T1は1 μ sec. ~10msec.、T2は、10 μ sec. ~10msec.の範囲で設定される。三角波の波高値(通電フォーミング時のピーク電圧)は、電子放出素形態に応じて適宜選択される。このような条件のもと、例えば、数秒から数十分間電圧を印加する。パルス波形は三角波に限定されるものではなく、短波形など所望の波形を採用することができる。

【0066】図4BにおけるT1及びT2は、図4Aに示したのと同様とすることができる。三角波の波高値(通電フォーミング時のピーク電圧)は、例えば0.1Vステップ程度ずつ、増加させることができる。

【0067】通電フォーミングの処理の終了は、パルス間隔T2中に、導電性膜4を局所的に破壊、変形市内程度の電圧を印加し、電流を測定して検知することができる。例えば0.1V程度の電圧印加により流れる素子電

流を測定し、抵抗値を求めて、 $1\text{M}\Omega$ 以上の抵抗を示した時、通電フォーミングを終了させる。

【0068】4) フォーミングを終えた素子には活性化工程と呼ばれる処理を施すのが好ましい。活性化工程とは、この工程により、素子電流 I_f 、放出電流 I_e が、著しく変化する工程である。

【0069】活性化工程は、例えば、有機物質のガスを含有する雰囲気中で、通電フォーミングと同様に、パルスの印加を繰り返すことで行うことができる。この雰囲気は、例えば油拡散ポンプやロータリーポンプなどを用いて真空容器内を排気した場合に雰囲気内に残留する有機ガスを利用して形成することができる他、イオンポンプなどにより一旦十分に排気した真空中に適当な有機物質のガスを導入することによっても得られる。このときの好ましい有機物質のガス圧は、前述の応用の形態、真空容器の形状や、有機物質の種類などにより異なるため場合に応じ適宜設定される。適当な有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミン類、フェノール、カルボン、スルホン酸等の有機酸類を挙げることが出来、具体的には、メタン、エタン、プロパンなど C_nH_{2n+2} で表される飽和炭化水素、エチレン、プロピレンなど C_nH_{2n} 等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ハルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、フェノール、蟻酸、酢酸、プロピオン酸等あるいはこれらの混合物が使用できる。この処理により、雰囲気中に存在する有機物質から、炭素あるいは炭素化合物が素子上に堆積し、素子電流 I_f 、放出電流 I_e が、著しく変化するようになる。

【0070】活性化工程の終了判定は、素子電流 I_f と放出電流 I_e を測定しながら、適宜行う。なおパルス幅、パルス間隔、パルス波高値などは適宜設定される。

【0071】炭素及び炭素化合物とは、例えばグラファイト（いわゆるHOPG、PG、GCを含有する、HOPGはほぼ完全なグラファイトの結晶構造、PGは結晶粒が 20nm 程度で結晶構造がやや乱れたもの、GCは結晶粒が 2nm 程度になり結晶構造の乱れがさらに大きくなったものを指す）、非晶質カーボン（アモルファスカーボン及び、アモルファスカーボンと前記グラファイトの微結晶の混合物を指す）であり、その膜厚は、 50nm 以下の範囲とするのが好ましく、 30nm 以下の範囲とすることがより好ましい。

【0072】5) このような工程を経て得られた電子放出素子は、安定化工程を行うことが好ましい。この工程は、真空容器内の有機物質排気する工程である。真空容器を排気する真空排気装置は、装置から発生するオイルが素子の特性に影響を与えないように、オイルを使用しないものを用いるのが好ましい。具体的には、ソーブシ

ョンポンプ、イオンポンプ等の真空排気装置を挙げることが出来る。

【0073】前記活性化の工程で、排気装置として油拡散ポンプやロータリーポンプを用い、これから発生するオイル成分に由来する有機ガスをを用いた場合は、この成分の分圧を極力低く抑える必要がある。真空容器内の有機成分の分圧は、上記の炭素及び炭素化合物がほぼ新たに堆積しない分圧で $1.3 \times 10^{-6}\text{Pa}$ 以下が好ましく、さらには $1.3 \times 10^{-6}\text{Pa}$ 以下が特に好ましい。さらに真空容器内を排気するときには、真空容器全体を加熱して、真空容器内壁や、電子放出素子に吸着した有機物質分子を排気しやすくするのが好ましい。このときの加熱条件は、 $80 \sim 250^\circ\text{C}$ 好ましくは 150°C 以上で、できるだけ長時間処理するのが望ましいが、特にこの条件に限るものではなく、真空容器の大きさや形状、電子放出素子の構成などの諸条件により適宜選ばれる条件により行う。真空容器内の圧力は極力低くすることが必要で、 $1 \times 10^{-6}\text{Pa}$ 以下が好ましく、さらに $1.3 \times 10^{-6}\text{Pa}$ 以下が特に好ましい。

【0074】安定化工程を行った後の、駆動時の雰囲気は、上記安定化処理終了時の雰囲気を維持するのが好ましいが、これに限るものではなく、有機物質が十分除去されていれば、真空度自体は多少低下しても十分安定な特性を維持することが出来る。

【0075】このような真空雰囲気を採用することにより、新たな炭素あるいは炭素化合物の堆積を抑制でき、また真空容器や基板などに吸着した H_2O 、 O_2 なども除去でき、結果として素子電流 I_f 、放出電流 I_e が、安定する。

【0076】上述した工程を経て得られた本発明を適用可能な電子放出素子の基本特性について図5、図6を参照しながら説明する。

【0077】図5は、真空処理装置の一例を示す模式図であり、この真空処理装置は測定評価装置としての機能も兼ね備えている。図5においても、図1に示した部位と同じ部位には図1に付した同一の符号を付している。図5において、55は真空容器であり、56は排気装置である。真空容器55内には電子放出素子が配されている。51は、電子放出素子に素子電圧 V_f を印加するための電源、50は素子電極2、3間の導電性膜4を流れる素子電流 I_f を測定するための電流計、54は素子の電子放出部より放出される放出電流 I_e を捕捉するためのアノード電極である。53はアノード電極54に電圧を印加するための高圧電源、52は素子の電子放出部5より放出される放出電流 I_e を測定するための電流計である。一例として、アノード電極の電圧を $1\text{kV} \sim 10\text{kV}$ の範囲とし、アノード電極と電子放出素子との距離 H を $2\text{mm} \sim 8\text{mm}$ の範囲として測定を行うことができる。

【0078】真空容器55内には、不図示の真空計の真

空雰囲気下での測定に必要な機器が設けられていて、所望の真空雰囲気下での測定評価を行えるようになっている。排気ポンプ56は、ターボポンプ、ロータリーポンプからなる通常の高真空装置系と更に、イオンポンプ等からなる超高真空装置系とにより構成されている。ここに示した電子源基板を配した真空処理の全体は、不図示のヒーターにより加熱できる。従って、この真空処理装置を用いると、前述の通電フォーミング以降の工程も行うことができる。

【0079】図6は、図5に示した真空処理装置を用いて測定された放出電流 I_e 、素子電流 I_f と素子電圧 V_f の関係を模式的に示した図である。図6においては、放出電流 I_e が素子電流 I_f に比べて著しく小さいので、任意単位で示している。なお、縦・横軸ともリニアスケールである。

【0080】図6からも明らかなように、本発明を適用可能な電子放出素子は、放出電流 I_e に関して対する三つの特徴的な性質を有する。即ち、

(i) 本素子はある電圧(しきい値と呼ぶ、図7中の V_{th})以上の素子電圧を印加すると急激に放出電流 I_e が増加し、一方しきい値電圧 V_{th} 以下では放出電流 I_e がほとんど検出されない。つまり、放出電流 I_e に対する明確なしきい値電圧 V_{th} を持った非線形素子である。

(ii) 放出電流 I_e が素子電圧 V_f に単調増加依存するため、放出電流 I_e は素子電圧 V_f で制御できる。

(iii) アノード電極54に捕捉される放出電荷は、素子電圧 V_f を印加する時間に依存する。つまり、アノード電極54に捕捉される電荷量は、素子電圧 V_f を印加する時間により制御できる。

【0081】以上の説明より理解されるように、本発明を適用可能な電子放出素子は、入力信号に応じて、電子放出性を容易に制御できることになる。この性質を利用すると複数の電子放出を配して構成した電子源、画像形成装置等、多方面への応用が可能となる。

【0082】図6においては、素子電流 I_f が素子電圧 V_f に対して単調増加する(以下、「MI特性」という。)例を実線に示した。素子電流 I_f が素子電圧 V_f に対して電圧制御型負性抵抗特性(以下、「VCNR特性」という。)を示す場合もある(不図示)。これら特性は、前述の工程を制御することで制御できる。

【0083】本発明を適用可能な電子放出素子の応用例について以下に述べる。本発明を適用可能な電子放出素子の複数個を基板上に配列し、例えば電子源あるいは、画像形成装置が構成できる。

【0084】電子放出素子の配列については、種々のものが採用できる。一例として、並列に配置した多数の電子放出素子の個々を両端で接続し、電子放出素子の行を多数配置し(行方向と呼ぶ)、この配線と直交する方向(列方向と呼ぶ)で、該電子放出素子の上方に配した

制御電極(グリッドとも呼ぶ)により、電子放出素子からの電子を制御駆動するはしご状配置のものがある。これは別に、電子放出素子をX方向及びY方向に行列状に複数個配し、同じ行に配された複数の電子放出素子の電極の一方を、X方向の配線に共通に接続し、同じ列に配された複数の電子放出素子の電極の他方を、Y方向の配線に共通に接続するものが挙げられる。このようなものは所謂単純マトリクス配置である。まず単純マトリクス配置について以下に詳述する。

【0085】本発明を適用可能な型電子放出素子については、前述したとおり(i)ないし(iii)の特性がある。即ち、電子放出素子からの放出電子は、しきい値電圧以上では、対向する素子電極間に印加するパルス状電圧の波高値と幅で制御できる。一方、しきい値電圧以下では、殆ど放出されない。この特性によれば、多数の電子放出素子を配置した場合においても、個々の素子に、パルス状電圧を適宜印加すれば、入力信号に応じて、電子放出素子を選択して電子放出量を制御できる。

【0086】以下この原理に基づき、本発明を適用可能な電子放出素子を複数配して得られる電子源基板について、図7を用いて説明する。図7において、71は基板であり上記の表面処理層があらかじめ設けられている。72はX方向配線、73はY方向配線である。74は電子放出素子、75は結線線である。

【0087】m本のX方向配線72は $D \times 1$, $D \times 2$, ..., $D \times m$ からなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。配線の材料、膜厚、巾は、適宜設計される。Y方向配線73は $D_y 1$, $D_y 2$, ..., $D_y n$ のn本の配線よりなり、X方向配線72と同様に形成される。これらm本のX方向配線72とn本のY方向配線73との間には、不図示の層間絶縁層が設けられており、両者を電気的に分離している(m、nは、共に正の整数)。

【0088】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成された SiO_2 等で構成される。例えば、X方向配線72を形成した基板71の全面或は一部に所望の形状で形成され、特に、X方向配線72とY方向配線73の交差部の電位差に耐え得るように、膜厚、材料、製法が、適宜設定される。X方向配線72とY方向配線73は、それぞれ外部端子として引き出されている。

【0089】放出端子74を構成する一対の電極(不図示)は、m本のX方向配線72とn本のY方向配線73と導電性金属等からなる結線76によって電気的に接続されている。

【0090】配線72と配線73を構成する材料、結線75を構成する材料及び一対の素子電極を構成する材料は、その構成元素の一部あるいは全部が同一であっても、またそれぞれ異なってもよい。これら材料は、例え

ば前述の素子電極の材料より適宜選択される。素子電極を構成する材料と配線材料が同一である場合には、素子電極に接続した配線は素子電極ということもできる。

【0091】X方向配線72には、X方向に配列した放出素子74の行を、選択するための走査信号を印加する不図示の走査信号印加手段が接続される。一方、Y方向配線73には、Y方向に配列した放出素子74の各列を入力信号に応じて、変調するための不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

【0092】上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

【0093】このような単純マトリクス配置の電子源を用いて構成した画像形成装置について、図8と図9及び図10を用いて説明する。図8は、画像形成装置の画像形成装置の一例を示す模式図であり、図9は、図8の画像形成装置に使用される蛍光膜の模式図である。図10は、NTSC方式のテレビ信号に応じて表示を行なうための駆動回路の一例を示すブロック図である。

【0094】図8において、71は電子放出素子を複数配した電子源基板、81は電子源基板71を固定したリアプレート、86はガラス基板83の内面に蛍光膜84とメタルバック86等が形成されたフェースプレートである。82は、支持枠であり該支持枠82には、リアプレート81、フェースプレート86が低融点のフリットガラスなどを用いて、接合される。

【0095】74は、図1における電子放出部に相当する。72、73は、電子放出素子の一对の素子電極と接続されたX方向配線及びY方向配線である。

【0096】外囲器88は、上述の如く、フェースプレートである86、支持枠82、リアプレート81で構成される。リアプレート81は主に基板71の強度を補強する目的で設けられるため、基板71自体で十分な強度を持つ場合は別体のリアプレート81は不要とすることができる。即ち、基板71に直接支持枠82を封着し、フェースプレート86、支持枠82及び基板71で外囲器88を構成しても良い。一方、フェースプレート86、リアプレート81間に、スペーサーと呼ばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器88を構成することもできる。

【0097】図9は、蛍光膜を示す模式図である。蛍光膜84は、モノクロームの場合は蛍光体のみから構成することができる。カラーの蛍光膜の場合は、蛍光体の配列によりブラックストライプあるいはブラックマトリクスなどと呼ばれる黒色導電材91と蛍光体92とから構成することができる。ブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体92間の塗り分け部を黒くす

ることで混色等を目立たなくすることと、蛍光膜84における外光反射によるコントラストの低下を抑制することにある。ブラックストライプの材料としては、通常用いられる黒鉛を主成分とする材料の他、導電性があり、光の透過及び反射が少ない材料を用いることができる。

【0098】ガラス基板83に蛍光体を塗布する方法は、モノクローム、カラーによらず、沈殿法、印刷法等が採用できる。蛍光膜84の内面側には、通常メタルバック85が設けられる。メタルバックを設ける目的は、蛍光体の発光のうち内面側への光をフェースプレート86側へ鏡面反射させることにより輝度を向上させること、電子ビーム加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージから蛍光体を保護すること等である。メタルバックは、蛍光膜作製後、蛍光膜のない面側表面の平滑化処理（通常、「フィルミング」と呼ばれる。）を行い、その後A1を真空蒸着等を用いて堆積させることで作製できる。

【0099】フェースプレート86には、更に蛍光膜84の導電性を高めるため、蛍光膜84の外面側に透明電極（不図示）を設けてもよい。

【0100】前述の封着を行う際には、カラーの場合は各色蛍光体と電子放出電子とを反応させる必要があり、十分な位置合わせが不可欠となる。

【0101】図8に示した画像形成装置の製造方法の一例を以下に説明する。

【0102】図13はこの工程に用いる装置の概要を示す模式図である。画像形成装置131は、排気管132を介して真空チャンバー133に連結され、さらにゲートバルブ134を介して排気装置135に接続されている。真空チャンバー133には、内部の圧力及び雰囲気中の各成分の分圧を測定するために、圧力計136、四重極質量分析器137等が取り付けられている。画像表示装置131の外囲器88内部の圧力などを直接測定することは困難であるため、該真空チャンバー133内の圧力などを測定し、処理条件を制御する。

【0103】真空チャンバー133には、さらに必要なガスを真空チャンバー内に導入して雰囲気を制御するため、ガス導入等ライン138が接続されている。該ガス導入ライン138の他端には導入物質源140が接続されており、導入物質がアンブルやボンベなどに入れて貯蔵されている。ガス導入ラインの途中には、導入物質を導入するレートを制御するための導入制御手段139が設けられている。該導入量制御手段としては具体的には、スローリークバルブなど逃す流量を制御可能なバルブや、マスフローコントローラーなどが、導入物質の種類に応じて、それぞれ使用が可能である。

【0104】図13の装置により外囲器88の内部を排気し、フォーミングを行う。この際、例えば図14に示

21

すように、Y方向配線73を共通電極141に接続し、X方向配線72の内の一に接続された素子に電源142によって、同時に電圧パルス印加して、フォーミングを行うことができる。パルスの形状や、処理の終了の判定などの条件は、個別素子のフォーミングについての既述の方法に準じて選択すればよい。また、複数のX方向配線に、位相をずらせたパルスを順次印加（スクロール）することにより、複数のX方向配線に接続された素子をまとめてフォーミングする事も可能である。図中143は電流測定用抵抗を、144は、電流測定用のオシロスコープを示す。

【0105】フォーミング終了後、活性化工程を行う。外囲器88内は、十分に排気した後有機物質がガス導入ライン188から導入される。あるいは、個別素子の活性化方法として記述のように、まず油拡散ポンプやロータリーポンプで排気し、これによって真空雰囲気中に残留する有機物質を用いても良い。また、必要に応じて有機物質以外の物質も導入される場合がある。この様にして形成した、有機物質を含む雰囲気中で、各電子放出素子に電圧を印加することにより、炭素あるいは炭素化合物、ないし両者の混合物が電子放出部に堆積し、電子放出量がドラスティックに上昇するのは、個別素子の場合と同様である。このときの電圧の印加方法は、上記フォーミングの場合と同様の結線により、一つの方向配線につながった素子に、同時の電圧パルスを印加すればよい。

【0106】活性化工程終了後は、個別素子の場合と同様に、安定化工程を行うことが好ましい。外囲器88を加熱して、80〜250℃に保持しながら、イオンポンプ、ソーブションポンプなどのオイルを使用しない排気装置135により排気管132を通じて排気し、有機物質の十分少ない雰囲気にした後、排気管をバーナーで熱して溶解させて封じきる。外囲器88の封止後の圧力を維持するために、ゲッター処理を行なうこともできる。これは、外囲器88の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波加熱等を用いた加熱により、外囲器88内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、外囲器88内の雰囲気を維持するものである。

【0107】次に、単純マトリクス配置の電子源を用いて構成した画像形成装置に、NTSC方式のテレビ番号に基づいたテレビジョン表示を行う為の駆動回路の構成例について、図10を用いて説明する。図10において、101は画像形成装置、102は走査回路、103は制御回路、104はシフトレジスタである。105はラインメモリ、106は同期信号分離回路、107は変調信号発生器、VxおよびVaは直流電圧源である。

【0108】画像形成装置101は、端子Dox1乃至Doxm、端子Doy1乃至Doy n、及び高圧端子H

22

vを介して外部の電気回路と接続している。端子Dox1乃至Doxmには、画像形成装置内に設けられている電子源、即ち、M行N列の行列状にマトリクス配線された電子放出素子群を一行（N素子）ずつ順次駆動する為の走査信号が印加される。

【0109】端子Dy1乃至Dy nには、前記走査信号により選択された一行の電子放出素子の各素子の出力電子ビームを制御する為の変調信号が印加される。高圧端子Hvには、直流電圧源Vaより、例えば10kVの直流電圧が供給されるが、これは電子放出素子から放出される電子ビームに蛍光体を励起するのに十分なエネルギーを付与する為の加速電圧である。

【0110】走査回路102について説明する。同回路は、内部にM個のスイッチング素子を備えたもので（図中、S1ないしSmで模式的に示している）ある。各スイッチング素子は、直流電圧源Vxの出力電圧もしくは0V（グラウンドレベル）のいずれか一方を選択し、画像形成装置101の端子Dx1ないしDxmと電気的に接続される。S1乃至Smの各スイッチング素子は、制御回路103が出力する制御信号Tscanに基づいて動作するものであり、例えばFETのようなスイッチング素子を組合わせることにより構成することができる。

【0111】直流電圧源Vxは、本例の場合には電子放出素子の特性（電子放出しきい値電圧）に基づいて走査されていない素子に印加される駆動電圧が電子放出しきい値電圧以下となるような一定電圧を出力するよう設定されている。

【0112】制御回路103は、外部より入力する画像信号に基づいて適切な表示が行われるように各部の動作を整合させる機能を有する。制御回路103は、同期信号分離回路106より送られる同期信号Tsyncに基づいて、各部に応じてTscanおよびTsftおよびTmryの各制御信号を発生する。

【0113】同期信号分離回路106は、外部から入力されるNTSC方式のテレビ信号から同期信号成分と輝度信号成分とを分離する為の回路で、一般的な周波数分離（フィルター）回路等を用いて構成できる。同期信号分離回路106により分離された同期信号は、垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上Tsync信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は便宜上DATA信号と表した。該DATA信号はシフトレジスタ104に入力される。

【0114】シフトレジスタ104は、時系列的にシリアルに入力される前記DATA信号を、画像の1ライン毎にシリアル／パラレル変換するもので、前記制御回路103より送られる制御信号Tsftに基づいて動作する（即ち、制御信号Tsftは、シフトレジスタ104のシフトクロックであるということもできる。）。シリアル／パラレル変換された画像1ライン分（電子放出素

10

20

30

40

50

子N素子分の駆動データに相当)のデータは、I d 1乃至I d nのN個の並列信号として前記シフトレジスタ104より出力される。

【0115】ラインメモリ105は、画像1ライン分のデータを必要時間の間だけ記憶する為の記憶装置であり、制御回路103より送られる制御信号T m r yに従って適宜I d 1乃至I d nの内容を記憶する。記憶された内容は、I' d 1乃至I' d nとして出力され、変調信号発生器107に入力される。

【0116】変調信号発生器107は、画像データI' d 1乃至I' d nの各々に応じて電子放出素子の各々を適切に駆動変調する為の信号源であり、その出力信号は、端子D o y 1乃至D o y nを通じて画像形成装置101内の電子放出素子に印加される。

【0117】前述したように、本発明を適用可能な電子放出素子は放出電流I eに対して以下の基本特性を有している。即ち、電子放出には明確なしきい値電圧V t hがあり、V t h以上の電圧を印加された時のみ電子放出が生じる。電子放出しきい値以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出閾値以下の電圧を印加しても電子放出は生じないが、電子放出閾値以上の電圧を印加する場合には電子ビームが出力される。その際、パルスの波高値V mを変化させる事により出力電子ビームの強度を制御することが可能である。また、パルスの幅P wを変化させることにより出力される電子ビームの電荷の総量を制御する事が可能である。

【0118】従って、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器107として、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができる。

【0119】パルス幅変調方式を実施するに際しては、変調信号発生器107として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【0120】シフトレジスタ104やラインメモリ105は、デジタル信号式のものをもアナログ信号式のものをも採用できる。画像信号のシリアル/パラレル変換や記憶が所定の速度で行われれば良いからである。

【0121】デジタル信号式を用いる場合には、同期信号分離回路106の出力信号DATAをデジタル信号化する必要があるが、これには106の出力部にA/D変換器を設ければ良い。これに関連してラインメモリ106の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器107に用いられる回路が若干異なった

ものとなる。即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばD/A変換回路を用い、必要に応じて増幅回路などを付加する。パルス幅変調方式の場合、変調信号発生器107には、例えば高速の発振器および発振器の出力する波数を計数する計数器(カウンタ)及び計数器の出力値と前記メモリの出力値を比較する比較器(コンパレータ)を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。アナログ信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばオペアンプなどを用いた増幅回路を採用でき、必要に応じてレベルシフト回路などを付加することもできる。パルス幅変調方式の場合には、例えば、電圧制御型発振回路(VOC)を採用でき、必要に応じて電子放出素子の駆動電圧まで電圧増幅するための増幅器を付加することもできる。

【0122】このような構成をとり得る本発明を適用可能な画像表示装置においては、各電子放出素子に、容器外端子D o x 1乃至D o x m、D o y 1乃至D o y nを介して電圧を印加することにより、電子放出が生ずる。高圧端子H vをメタルバック85、あるいは透明電極(不図示)に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜84に衝突し、発光が生じて画像が形成される。

【0123】ここで述べた画像形成装置の構成は、本発明を適用可能な画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号については、NTSC方式を挙げたが入力信号はこれに限られるのではなく、PAL、SECAM方式など他、これよりも、多数の走査線からなるTV信号(例えば、MUSE方式をはじめとする高品位TV)方式をも採用できる。

【0124】次に、はしご型配置の電子源及び画像形成装置について図11及び図12を用いて説明する。

【0125】図11は、はしご型配置の電子源の一例を示す模式図である。図11において、110は上記表面処理層を形成した基板、111は電子放出素子である。112、D x 1~D x 10は、電子放出素子111を接続するための共通配線である。電子放出素子111は、基板110上に、X方向に並列に複数個配されている(これを素子行と呼ぶ)。この素子行が複数個配されて、電子源を構成している。各素子行の共通配線間に駆動電圧を印加することで、各素子行を独立に駆動させることができる。即ち、電子ビームを放出させたい素子には、電子放出しきい値以上の電圧を、電子ビームを放出しない素子行には、電子放出しきい値以下の電圧を印加する。各素子行間の共通配線D x 2~D x 9は、例えばD x 2、D x 3を同一配線とすることもできる。

【0126】図12は、はしご型配置の電子源を備えた

画像形成装置におけるパネル構造の一例を示す模式図である。120はグリッド電極、121は電子が通過するため空孔、122は $D \times 1$, $D \times 2$, ... $D \times m$ よりなる容器外端子である。128は、グリッド電極120と接続された $G1$, $G2$, ... Gn からなる容器外端子、124は各素子行間の共通配線を同一配線とした電子源基板である。図12においては、図8、図11に示した部位と同じ部位には、これらの図に付したのと同じ符号を付している。ここに示した画像形成装置と、図8に示した単純マトリクス配置の画像形成装置との大きな違いは、電子源基板110とフェースプレート86の間にグリッド電極120を備えているか否かである。

【0127】図12においては、基板110とフェースプレート86の間には、グリッド電極120が設けられている。グリッド電極120は、放出素子から放出された電子ビームを変調するためのものであり、はしご型配置の素子行と直交して設けられたストライプ状の電極に電子ビームを通過させるため、各素子に対応して1個ずつ円形の開口121が設けられている。グリッドの形状や設置位置は図12に示した者に限定されるものではない。例えば、開口としてメッシュ状に多数の通過口を設けることもでき、グリッドを放出素子の周囲や近傍に設けることもできる。

【0128】容器外端子122およびグリッド容器外端子123は、不図示の制御回路と電気的に接続されている。

【0129】本例の画像形成装置では、素子行を1列ずつ順次駆動（走査）していくのと同期してグリッド電極列に画像1ライン分の変調信号を同時に印加する。これにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示することができる。

【0130】本発明の画像形成装置は、上記のテレビジョン放送の表示装置のみならず、テレビ会議システム、コンピュータなどの表示装置にも適する。さらには、感光性ドラムなどを用いて構成された光プリンタの部品などとしても用いることができる。

【0131】＜予備検討＞青板ガラス基板に対する、脱Na処理層の形成と、熱処理による脱Na処理層へのNaの拡散に関して、以下のような予備的な検討を行った。

【0132】 SO_2 ガスと空気を混合した気流中で、青板ガラス基板（ SiO_2 : 74%, Na_2O : 12%, CaO : 9%, K_2O : 3%, MgO : 2%）を加熱し、次いで温水洗浄、更に120℃に加熱して乾燥させた。

【0133】ガラス転移温度に近い温度に保持して、このように SO_2 ガスにガラスを触れさせると、ガラス中のNaが SO_2 と反応し Na_2SO_4 となり表面に析出する。他にK、Ca等の成分も同様に反応すると考えられるが、Naイオンの拡散速度が速いため、Naが特にガ

ラス基板中から取り除かれ、青板ガラス基板の表面付近にNaの減少した層（脱Na処理層）が形成される。 Na_2SO_4 は水溶性であるので温水洗浄により除去することが出来る。またK、Caの硫酸塩も多少形成されるが同様に温水洗浄で除去される。

【0134】この処理により形成される、脱Na処理層の厚さは、処理温度と処理時間を適宜設定することにより調整することが可能であり、実際の厚さの測定は2次イオン質量分析法（SIMS）により測定した。

10 【0135】ついで、これらの基板について、熱処理を行い、脱Na処理層の表面でのNaの濃度が、はじめに形成した脱Na処理層の厚さとのように関連しているかを調べた。測定はSIMSにより行った。

【0136】熱処理条件は、350℃10分間である。これは有機Pd化合物の膜をPdO膜に変換させる処理の典型的な条件である。青板ガラス基板本体の Na_2O の濃度が12%の場合（すなわち、本検討に用いた基板の場合）、式（1）から求めた、脱Na処理層の厚さは上述のとおり10 μm 程度である。

20 【0137】この検討の結果、脱Na処理層の厚さが10 μm を越えると、熱処理により表面でのNa濃度の増加は、実質的に無視できる。したがって、式（1）を元にして求めた値、すなわち $(Dt)^{1/2}$ の値の2.4倍程度の厚さの脱Na処理層があれば、熱プロセスによるNaの表面への拡散による悪影響は避けられることが示唆された。

【0138】

【実施例】以下、実施例に基づいて本発明を説明する。

【0139】＜実施例1、比較例1、2＞

30 （工程-1）青板ガラス基板（ SiO_2 : 74%, Na_2O : 12%, CaO : 9%, K_2O : 3%, MgO : 2%）を空気と SO_2 の混合気流中で、550℃に保持し、次いで温水洗浄と乾燥を行い、基体表面に脱Na処理層を形成した（図3A）。処理時間を制御することにより、該脱Na処理層の厚さを、5 μm （比較例2）、10 μm （実施例1）とした。更に、比較のため脱Na処理を行わず、洗剤と温水による洗浄のみを行った、青板ガラス基板を用意した（比較例1）。なお、各比較例、実施例は10素子ずつ作成し、特性の再現性について検討した。

【0140】（工程-2）次に基板の脱Na処理層6上に（該処理層のない基板では、基板上に）フォトレジスト層を形成し、フォトリソグラフィ技術により、フォトレジスト層に素子電極の形状に対応する開口部を形成した。この上に、真空蒸着法により、Ti 5nm、Pt 100nmを成膜し、有機溶剤で上記フォトレジスト層を溶解除去し、リフトオフにより素子電極2、3を形成した（図3B）。素子電極の間隔Lは50 μm 、素子電極長Wは500 μm とした。

50 【0141】（工程-3）次に、導電性膜を形成する。

まず、導電性膜のパターニングのためのマスクを形成するため、真空蒸着法により、Crを50nm成膜し、フォトリソグラフィ技術により、導電性膜4の形状に対応する開口を形成、これに酢酸Pdモノエタノールアミン錯体の溶液をスピナーを用いて塗布、乾燥させた後、空气中で350℃10分間の加熱処理を行い、PdOを主成分とする微粒子からなる導電性膜を形成、この後ウェットエッチングによりCrを除去して、リフトオフにより所望の形状の導電成膜4を得た(図3C)。導電成膜の厚さは約10nm、導電性膜の幅W'は300μmである。導電性膜のシート抵抗は、実施例1が6×10⁴Ω/□、比較例1と2が2～5×10⁴Ω/□程度で、脱Na処理層の厚さが10μm未満では、導電性膜4(PdO微粒子膜)の抵抗値が減少しかつ、その値のバラツキが大きくなる事がわかった。

【0142】この後、素子を図5に模式的に示す様に、真空処理装置に設置した。55は真空チャンバー、56は該真空チャンバー内を排気するための排気装置、50は素子電極2、3間に電圧を印加し、電流を流すための電源、50は素子に流れる電流(素子電流: If)を検知するための電流計、54は電子放出素子から放出された電子を捕獲するためのアノード電極、53はアノード電極に光電圧を印加するための高圧電源、52は電子放出素子から放出された電子がアノード電極に捕獲されることにより流れる電流(放出電流: Ie)を検知するための電流計である。

【0143】(工程-4)＜フォーミング工程＞
真空チャンバー内を排気し、圧力を1.3×10⁻⁴Pa以下とし、電源51により素子電極間にパルス電圧を繰り返し印加する。電圧の波形は図4Bに示す、波高値の漸増する間隔はパルスを用い、パルス幅T1=1msec、パルス間隔T2=10msec.とした。なお、上記のパルス同士の間にパルス幅1msec. 波高値0.1Vの矩形波パルスを挿入し、これにより流れる電流を測定することにより、素子電極間の抵抗値を検知した。検知される抵抗値が1MΩを超えた時点で、パルス電圧の印加を終了した。この処理により、電子放出部5*

*が形成された(図3D)。

【0144】(工程-5) N₂:98%—H₂:2%混合ガスを、真空チャンバー内に導入し、内部を1気圧とし、10分間保持する。還元をモニタするために、実施例1、比較例1、2の各素子と同様の処理を工程-3まで行ったモニタ用素子を、同時に真空チャンバー中に設置し、これにより抵抗値の変化をモニタした。実施例1のモニタ用素子では、混合ガスの導入から約5分経過後に素子電極間の抵抗が減少し始め、8分程度で抵抗の変化が終了し、はじめの値から2桁程度低下した、比較例1、2のモニタ用素子ではいずれも抵抗の低下が遅く、10分間では抵抗値の変化が終了していない状態であり、特に比較例1では、抵抗値の変化は1桁にも達していない状態であった。

【0145】(工程-6)＜活性化工程＞

真空容器55内を再び排気し、圧力を一旦1.3×10⁻⁴Pa以下とし、次いで真空容器55内にアセトンの蒸気を導入し、圧力を2.7×10⁻¹Paとし、電源51により素子電極2、3間に波高値20Vの矩形パルスを印加した。この処理により電流計50により検知される素子電流Ifは、徐々に増加し、約30分でほぼ飽和した。

【0146】(工程-7)＜安定化工程＞

真空容器55全体を不図示のヒーターにより約150℃に加熱して排気し、10時間後に圧力が1.3×10⁻⁵Paとなった。

【0147】真空容器を加熱するヒーターの電源を切り、室温に戻した後、作成した電子放出素子の電子放出特性を測定した。素子電極2、3間には、波高値20V、パルス幅1msec.、パルス間隔10msec.の矩形パルスを印加、アノード電極54の電位は1kV、電子放出素子とアノード電極の間隔はH=4mmとした。実施例1、比較例1、2の各10素子に関して、素子電極If及び放出電流Ieの測定値は以下のとおりであった。

【0148】

【表1】

	素子電流 If (mA)	放出電流 Ie (μA)
実施例1	1.9～2.3	3.8～4.3
比較例1	1.0～2.0	1.8～3.5
比較例2	1.2～2.0	2.0～3.5

更に、上記実施例及び比較例の素子に対し、SIMSにより導電性膜中および基体表面でのNa含有量を測定した。導電性膜中での全金属元素に対するNaの比率は、実施例1では約800p.p.m.、比較例2が約25※50

※00p.p.m.、比較例1が約10000p.p.m.、基体表面での全金属元素に対するNaの比率が実施例1で約1.5at%、比較例2で約23at%、比較例1では約30at%であった。

【0149】また、SIMSを用いてNa濃度の深さ方向プロファイルを測定したところ、実施例では図21の曲線aのように、内部から表面に向かって濃度が低下する結果が得られたが、比較例1では、表面で濃度がわずかに上昇しているのが観測され、比較例2では図21の曲線bのように、著しい濃度の上昇が見られた。また、実施例1では、図中d'で表わされたNa濃度が基体内部の一定の値になる深さは、約10 μ mであり、はじめに形成した脱Na処理層の厚さと一致した。

【0150】(実施例2)図1A、Bに示すのと同様の構成の電子放出素子を、図7に模式的に示すように基体上に複数配置しさらにマトリクス状配線を配置した電子源を、以下に示す手順により作成した。図15A~Hを参照しながら、製造の手順を説明する。

【0151】(工程-1)実施例1と同じ組成を有する青板ガラスの基体を、SO₂ガスと空気の混合ガス気流中で550℃で8時間保持し、次いで温水洗浄と乾燥を行った。この処理により約50 μ mの脱Na処理層が形成された。

【0152】(工程-2)基体71の脱Na処理層(表面処理層)6の上に真空蒸着法により厚さ5nmのCr、厚さ600nmのAuを順次堆積し、この上にフォトレジスト(AZ1370;ヘキスト社製)層を形成、フォトマスクを用いて露光、現像した後、ウェットエッチングによりAu/Cr膜をパターニングし、フォトレジストを溶解除去して下配線(X方向配線)72を形成した(図15A)。

【0153】(工程-3)厚さ1 μ mのSiO₂よりなる層間絶縁層151をスパッタリング法により堆積し(図15B)、次いでエッチング用マスクとなるフォトレジストパターンを形成、CF₄とH₂を用いた反応性イオンエッチング(RIE, Reactive Ion Etching)法により層間絶縁層151にコンタクトホール152を設けた(図15C)。

【0154】(工程-4)フォトレジスト(DR-2000N;日立化成(株)製)を用いて素子電極形成用のマスクパターンを作成した後、スパッタ法によりPt50nmを堆積、フォトレジストを溶解、除去してリフトオフにより素子電極2、3を形成した(図15D)。素子電極の間隔L=2 μ m、素子電極の幅(図1AのW)は300 μ mとした。

【0155】(工程-5)厚さ5nmのTi、厚さ500nmのAuを真空蒸着法により順次堆積し、上記と同様のリフトオフにより、Y方向配線(上配線)73を形成した(図15E)。

【0156】(工程-6)酢酸Pdモノエタノールアミン錯体の溶液をスピナーを用いて塗布、乾燥させた後、空気中で850℃10分間の加熱処理を行い、PdOを主成分とする微粒子からなる導電性膜を形成し(図15F)、ドライエッチングにより不要部分を除去して

所望の形状の導電性膜4を形成した(図15G)。該導電性膜のシート抵抗は、5 \times 10⁴ Ω /□程度であった。

【0157】(工程-7)コンタクトホール152以外をフォトレジストで覆い、真空蒸着法により5nmのTi、500nmのAuを順次堆積、フォトレジストを除去して不要部分の該堆積膜を除去することにより、コンタクトホールを埋め込んだ(図15H)。

【0158】(工程-8)図8のように、上記電子源を形成した基板71とリアプレート81、フェースプレート86(ガラス基板83の内面に蛍光膜84、メタルバック85が形成されている)、支持枠82を組み合わせて接合した。なお外囲器内に不図示である高周波加熱用ゲッタが配置されており、同じく不図示である外囲器内の雰囲気制御するための排気管が外囲器に取り付けられている。接合は、接合部にフリットガラスを塗布し、大気中で450℃10分間の加熱処理を行うことにより行った。この熱処理条件に対し、必要な脱Na処理層の厚さは、式(1)から見積もられる値が前述したとおり約50 μ mである。本実施例では50 μ mの脱Na処理層が形成されており、効果が期待できる。

【0159】本実施例で用いた蛍光膜84は、図9Aに模式的に示すような、蛍光体91をストライプ形状に配置したもので、まず黒色部材91よりなるブラックストライプを形成し、その間に3原色に対応する蛍光体91を形成したものである。黒色部材の材質は通常よく用いられる黒鉛を主成分とするものであり、蛍光体の塗布はスラリー法を用いた。

【0160】蛍光膜上にはメタルバック85を設ける。本実施例では、蛍光膜表面を平滑化处理(通常「ファイルミング」と呼ばれる)した後、A1を真空蒸着することにより形成した。

【0161】なお、導電性を向上させるため、蛍光膜84とガラス基板83の間に透明電極を設ける場合もあるが、本実施例では上記構成により十分導電性が得られたので、透明電極は設けていない。

【0162】上記の接合を行う際、蛍光体と電子源の電子放出素子の位置を厳密に対応させる必要があるため、注意深く位置合わせを行う。

【0163】(工程-9)上記工程において、フェースプレート86、リアプレート81と支持枠82により構成された外囲器88の内部を排気管(不図示)を通じて排気装置(主ポンプとして油拡散ポンプを使用)により排気し、圧力を1.8 \times 10⁻⁸Pa以下まで下げた後、電子源の配線を通じて素子電極間に実施例1~3と同様にパルス電圧を印加することにより電子放出部の形成を行った。この処理はX方向配線を1本に接続された素子の行毎に行い、1素子あたりの抵抗値が1M Ω を超えたところで、その行の処理を終了し、次の行の処理に移る。これを繰り返したすべての素子の処理を行った。

【0164】(工程-10)外囲器内に H_2 :2%- N_2 :98%の混合ガスを導入して10分間放置して導電性膜の還元処理を行った。続いて外囲器内を再度排気して圧力を 1.3×10^{-3} Pa以下まで下げた後、波高値20Vのパルス電圧を各素子行に順次印加することを繰り返して、活性化処理を行った。排気装置に油拡散ポンプを用いていることにより、外囲器内に有機物質が存在し、活性化処理が行われる。次いで、排気装置を主ポンプに磁気浮上型ターボポンプを用いたものに切り替え、外囲器全体を加熱しながら排気を続けることにより、安定化処理を行い、高周波加熱法によるゲッタ処置を行った後、排気管を加熱、融着して封じ切った。

【0165】(実施例3)実施例2の工程-1において、基体の外周部にCr蒸着膜を形成して、この部分には脱Na処理層が形成されないようにした以外は、工程-7まで、実施例2と同様の工程を行った。

【0166】次いで、工程-8と同様に外囲器を形成したが、本実施例では、電子源の基体がリアプレートの役割を兼ねるものである。基体71と支持棒82の接合部は脱Na処理層が設けられていない部分161である。この後、工程9-10を実施例2と同様に行った。図17に本実施例の画像形成装置の構成を模式的に示した。

【0167】(比較例3)実施例2の、工程-1の替わりに、洗剤と温水による基板洗浄のみを行ったことを除き、実施例2と同様の工程により、画像形成装置を作成した。

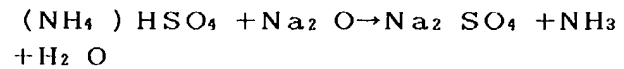
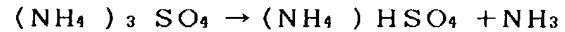
【0168】上記実施例2、3及び比較例3の画像形成装置を、全面を白色表示させ、輝度分布を観察したところ、実施例2、3が同程度の輝度均一性を示しているのに対し、比較例3の装置では暗くなっている部分が多く、明らかに均一性が劣っていた。これは主に、比較例3においては外囲器の部材などを接合する際の熱処理によるNaイオンの導電性膜中への拡散のため、導電性膜を還元する際の反応速度にバラツキが生じ抵抗値のバラツキが生じ、電子放出特性が素子ごとに異なったためと思われる。評価終了後、電子源の基板を取り外し、上記層間絶縁層と基板についてNaの濃度の測定をSIMSによって行ったところ、実施例2、3とも表面でのNa濃度は全金属元素に対する比率で15%程度であるのに対し、比較例3では37%と大幅に増加していた。また、Na濃度の深さ方向のプロファイルは、実施例については図21の曲線aと同様の傾向、比較例3については曲線bと同様の傾向を示すものであった。

【0169】(実施例4)実施例1で用いたのと同じ組成の青板ガラス基体を、洗剤及び純水により洗浄した後、硫酸アンモニウム水溶液を基体表面にスプレーコートして乾燥させた。ついで550℃1時間の加熱処理を施した。

【0170】この処理では次の反応により、 Na_2O として存在するNaが基板表面に硫酸ナトリウムとして析

出し、基体表面付近の Na_2O の濃度が低下すると考えられる。

【0171】



次いで、80℃の温水で1時間洗浄したのち乾燥させた。これにより約10 μ mの脱Na処理層が形成された。以下実施例1~3の工程-2以降と同様の手順で、電子放出素子を作成した。電子放出特性を測定したところ、実施例3とはほぼ同様の特性を示した。Naの濃度の測定も同様に行ったところ、これも実施例3と同じ傾向を示した。

【0172】(実施例5)本実施例は、図18に模式的に示す構造を有する。なお、図では構造を分かり易くするため、部材の一部を消去してある。図19を参照しながら、製造方法を説明する。

【0173】(工程-1)実施例1と同様の組成の青板ガラスを洗剤と純水により洗浄した後、スクリーン印刷法により、素子電極171の形状のMODペースト(DU-2110;ノリタケ(株)製)のパターンを形成した。該MODペーストは金属成分として金を含むものである。

【0174】印刷後、110℃で20分間乾燥し、次いで熱処理装置によりピーク温度580℃ピーク保持時間8分間の条件で上記MODペーストを焼成し、厚さ0.3 μ mの素子電極151を形成した。素子電極間隔は70 μ mとした(図19A)。なお、この工程でMODペーストを焼成する際に、 SO_2 ガスが発生する。これにより青板ガラス基体表面に脱Na処理層が形成される。

【0175】(工程-2)次いで、金属成分として銀を含むペースト材料(NP-4028A;ノリタケ(株)製)を用い、スクリーン印刷法により下配線172のパターンを形成、工程-1と同様の条件で焼成して下配線を形成した(図19B)。

【0176】(工程-3)次に、 PbO を主成分とするペーストを用い、層間絶縁層173のパターンを印刷し、工程-1と同様の条件で焼成し、層間絶縁層173を形成した(図19C)。該層間絶縁層は素子電極171の一方と、後の工程で形成する上配線とが接続されるよう、切欠き部分を有している。

【0177】(工程-4)工程-2と同様の方法で、上配線174を形成し(図19D)、配線を形成した基体を温水洗浄する。これにより、工程-1の結果、基体表面に析出した硫酸ナトリウムが除去される。また、その他の工程で表面に付着したゴミなども同時に除去される。

【0178】(工程-5)次いで、実施例2の工程-6と同様にして、導電性膜4を形成した(図19E)。この後、実施例2と同様の手順で画像形成装置を形成し、

特性を調べたところ、実施例2とほぼ同様の結果が得られた。

【0179】(実施例6) 実施例3と同様に基体の外周部にCr蒸着膜を形成し、次いで実施例4と同時に硫酸アンモニウム水溶液を基体表面にスプレーコートし、乾燥させた後、550℃に5時間保持し、次いで温水洗浄と乾燥を行った。

【0180】次いで、実施例5と同様の手順で画像形成装置の形成を行い、特性を調べたところ、実施例2とほぼ同様の結果が得られた。

【0181】(実施例7) 実施例5と同様の工程により、電子源を作成した。ただし、MODペーストの焼成を行う際に、基体が外周部に金属マスクを押し当ててこの部分にMODペーストから放出されるSO₂ガスが触れないようにした。画像形成装置の組み立ては、実施例5と同様に行った。特性を調べたところ、実施例2および5とほぼ同様の結果であった。上記実施例5～7について、評価の終了後、SIMSにより、2at%以下であり、深さ方向のプロファイルは図21の曲線aと同じ傾向のものであった。

【0182】(実施例8) 実施例1と同じ組成の青板ガラス基体を洗剤と純水で洗浄し、乾燥した後、常圧CVD装置を用い、Tetraethyl-orthosilicate (TEOS) と Trimethylphosphate (TMP) をソースガスとして約3μmのリンを含むガラス(PSG)よりなるNa捕獲層を形成した。上記2種のソースガスの混合比を変えることでリンの含有量が制御でき、本実施例では3%とした。

【0183】以降、実施例1の工程-2～7と同様の手順で電子放出素子を作成した。特性を調べたところ、実施例1とほぼ同程度の特性が得られた。

【0184】上記Na捕獲層の中では、NaとPとの間に結合が生じ、Naの拡散速度が通常のガラス中と比べて遅くなるものと思われる。このため、実施例1のNa処理層よりも薄いNa捕獲層により、同程度の効果が得られるものと思われる。Na濃度の測定をSIMSにより行ったところ、表面でのNa濃度は全金属元素に対する比で2%以下で、深さ方向のプロファイルは、青板ガラスとNa捕獲層の境界と思われる位置でやや急峻な変化を示す以外は、図21の曲線aと同じ傾向のものであった。

【0185】(実施例9) 青板ガラス基体の表面にNaの一部をKに置換したガラス(カリウム置換ガラス)よりなるNa捕獲層を4μm形成し、実施例1の工程2～7と同様の手順で電子放出素子を形成した。特性は実施例1とほぼ同様であった。カリウム置換ガラス中ではいわゆるアルカリ混合効果により、Naの拡散速度が遅くなり、拡散係数が1桁程度小さくなる。この効果は、NaとKの比率に関して広範囲で生ずるので、両元素の比率に関してはそれほど厳密でなくても良い。したがっ

て、実施例1の脱Na処理層に比べ1/3程度の厚さのNa捕獲層があれば、同程度の効果が得られるものと予想されるが、この結果は予想が正しかったことを示している。

【0186】なお、上記カリウムガラスよりなるNa捕獲層の形成は、約500℃に加熱して溶解した硝酸カリウムの融液中に実施例1で用いたのと同様の青板ガラスを浸漬して、表面から3μmの層中にNaを部分的にKに置換した。

10 【0187】Na濃度の測定を行ったところ、表面付近では前金属元素に対し5at%で、深さ方向のプロファイルは、図21の曲線aと同じ傾向のものであった。Na捕獲層におけるNaとKの交換は完全に行われるのではないため、5at%という他の実施例よりもやや高い濃度となっているが、元々Na捕獲層中でのNa拡散速度が遅いため、導電性膜に与える悪影響が他の実施例と同じように低減されているのであろう。

【0188】(比較例4) PSGよりなるNa捕獲層の厚さを2μmとした以外は、実施例8と同様に電子放出素子を作成した。

20 【0189】(比較例5) カリウム置換ガラスよりなるNa捕獲層の厚さを、2μmとした以外は、実施例8と同様に電子放出素子を作成した。

【0190】比較例4、5の素子について、実施例1などと同様の測定を行ったところ、比較例2と同程度の特性が得られ、上記実施例8、9と比べ、特性が悪いことが分かった。SIMSによる導電性膜および基体表面におけるNa量および深さ方向のNa濃度のプロファイルの測定結果は、比較例2と同程度であった。これはNa捕獲層の厚さが十分ではなく、PdOよりなる導電性膜中にNaが入り込むことにより、還元処理の速度が遅くなったためと思われる。

【0191】(実施例10) 実施例1と同じ組成の青板ガラス基板を洗浄した後、実施例9と同様の処理を行い、表面にK置換ガラスよりなるNa捕獲層を形成した。この層の厚さが17μmとなるよう、処理時間を調整した。続いて、実施例2の工程-2から工程-10と同様にしてマトリクス状に配線された電子源を有する画像形成装置を形成した。実施例2と同様にして輝度分布を観察したところ、実施例2とほぼ同じ結果であった。40 本実施例におけるNa捕獲層の厚さは実施例2の脱Na処理層の約1/3であるが、これにより実施例2と同程度の効果が得られたことは予想と合致した。

【0192】(実施例11) 比較例2の工程-1と同様の方法で、厚さ約5μmの脱Na処理層を形成した後、実施例8と同様の方法で、厚さ2μmのPSG(リン含有量3%)よりなるNa捕獲層を形成した。

【0193】この後、実施例1の工程-2～7と同様の手順で電子放出素子を作成した。特性を調べたところ、50 実施例1とほぼ同様の特性が得られた。Na濃度はNa

捕獲層と脱Na処理層の境界と思われる位置でやや急峻な変化を示した以外は実施例1とほぼ同じであった。

【0194】(実施例12) 実施例1で用いたのと同じ組成の青板ガラス基体を洗剤および純水により洗浄した後、硫酸アンモニウム水溶液を基体表面にスプレーコートして乾燥させた。ついで550℃1時間加熱処理を施し、80℃の温水により洗浄、乾燥した。次いで実施例8と同様の方法でPSGよりなるNa捕獲層を形成した。本実施例においてはNa捕獲層の厚さは1μm、リン含有量は5%とした。

【0195】この後、実施例1の工程-2~7と同様の手順で電子放出素子を形成した。特性を調べたところ、実施例1とほぼ同様の特性が得られた。Na濃度はNa捕獲層と脱Na処理層の境界と思われる位置でやや急峻な変化を示した以外は実施例1とほぼ同じであった。

【0196】(実施例13) 実施例2の工程-1と同様の方法で、青板ガラス基体表面に脱Na処理層を形成する。但し処理時間を時間を1時間とし、厚さを約10μmとした。

【0197】次いで実施例8と同様の方法でPSGよりなるNa捕獲層を形成した。厚さは1.5μm、リン含有量は9%とした。

【0198】以降、実施例2の工程-2~10と同様の手順でマトリクス配線の電子源およびそれを用いた画像形成装置を作成した。

【0199】(実施例14) 本実施例は構成、製法とも実施例13とほぼ同じであるが、図18のようにNa捕獲層7が層間絶縁層131上に形成されているものである。従って、層間絶縁層を形成した後に、Na捕獲層を形成した。

【0200】(実施例15) 実施例5と同様に青板ガラス基体の周辺部にCr蒸着膜を形成したマスクとして、SO₂ガスと空気の混合ガス気流中で550℃3時間の熱処理を行い、次いで温水洗浄、乾燥を行い厚さ約10μmの脱Na処理層を形成した。次いで実施例13と同じ方法でリン含有量10%、厚さ1.5μmのPSGよりなるNa捕獲層を形成した。次いで上記Cr蒸着膜を除去した。

【0201】以降、実施例5と同様の手順で電子源、更に画像形成装置を作成した。

【0202】実施例13~15の画像形成装置を評価したところ、実施例2および5と同程度の画像が得られた。Na濃度は基体の表面でいずれも全金属元素に対して2at%以下で、深さ方向のプロファイルは、Na捕獲層と脱Na処理層との境界と思われる位置でやや急峻な変化を示す以外は、実施例2と同じ傾向を示した。

【0203】(実施例16) 実施例1で用いたのと同様な方法により、青板ガラス基板の表面に厚さ10μmの脱Na処理層を形成した後、さらに紫外線オゾンアッシング装置により、酸素雰囲気中で紫外線を照射し3時間

のオゾンアッシング処理を行った。このとき、線が照射されており、基体表面濃度はある程度高くなっているものと考えられる。この後、温水洗浄と乾燥を行ない、実施例1と同様の工程により、電子放出素子を作成した。この際、工程5において、実施例1の場合と同様に、モニタ用の素子の抵抗変化を観測したところ、実施例1の場合と同様に約20分で抵抗の変化がほぼ終了し到達した抵抗値は、実施例1と比較して約80%の値となった。素子を形成した後、実施例1と同じ条件で電子放出特性を測定したところ、素子電流I_eは2.0~2.3mA、放出電流は4.0~4.5μAで、実施例1と比べ、放出電流がやや増加した。これは、導電性膜の抵抗値が低くなったことにより、抵抗膜の部分での電圧降下が少なくなり、電子放出部に実際にかかる電圧がわずかながら大きくなったことによるのであろう。

【0204】なお、上記のオゾンアッシング処理の後、SIMSによりSの含有量の測定を行ったところ、基板表面付近では0.1at%以下であり、表面の約0.01μmの脱硫層より深い部分ではSの含有量が若干多くなっていることがわかった。また、導電性膜についてもSIMSによる測定を行ったが、0.1at%以下であることがわかった。

【0205】評価の終了後に行った測定でも、この状態に大きな変化はなかった。なお、Naの濃度についても評価したが、これは実施例1の場合とほぼ同様のものであった。

【0206】上記のような減少が起こる理由については十分調べられておらずよくわからないが、Sが導電性膜中に拡散してPdSを形成し、これが通常の還元処理によつては還元されないため、金属Pdとならずに残り、これが導電性膜を形成する微粒子の表面に偏析して微粒子内部の還元反応の進行を妨げるために抵抗値が若干高くなるのではないかと推測している。Naと比べてSのガラス中での拡散は非常に遅いと考えられ、0.01μm程度の厚さの脱硫処理層が形成される事により、上記のような効果が得られるものと思われる。

【0207】(実施例17) 実施例5の工程1から工程4までと同様の処理を行った後、実施例16と同様の紫外線オゾンアッシング装置を用いて酸素雰囲気中で3時間の紫外線照射処理を行う事により、脱硫処理層を形成した。ついで実施例5と同じ手順で画像形成装置を形成し、同様の評価を行った。輝度の均一性に関しては実施例5と同程度であり、実施例16と同様に放出電流が若干増加したことに対応して、全体の輝度は実施例5よりわずかながら高かった。これは実施例16の場合と同様に、導電性膜の抵抗値が脱硫処理層を設けない場合よりも低くなっているためであろうと推定される。SおよびNaの濃度について、実施例16と同様の評価を行ったところ、ほぼ同様の結果が得られた。

【0208】

10

20

30

40

50

【発明の効果】以上説明したように、基体表面に脱Na処理層、Na捕獲層、脱硫処理層を形成することにより、NaあるいはSに起因する電子放出素子の特性のバラツキや特性の劣化を抑制し、かつ接合などの加工性に優れ、コスト的にも有利な青板ガラスを基体として用いて、電子放出素子、電子源およびそれを用いた画像形成装置を作成することが可能となった。

【図面の簡単な説明】

【図1】Aは、本発明に関する電子放出素子の構成を示す模式図（平面図）

Bは、本発明に関する電子放出素子の構成を示す模式図（断面図）

【図2】本発明に関する電子放出素子の別の構成を示す模式図（断面図）

【図3】A～Dは、本発明に関する電子放出素子の製造手順を説明するための模式図

【図4】A、Bは、本発明に関する電子放出素子の製造に用いるパルス電圧波形の模式図

【図5】真空処理装置（測定評価装置）の構成を示す模式図

【図6】本発明に関する電子放出素子の、素子電圧 V_f と、素子電流 I_f 、放出電流 I_e の関係を示す模式図

【図7】本発明の電子源の構成を示す模式図

【図8】本発明の画像形成装置の構成を示す模式図

【図9】本発明の画像形成装置に用いる蛍光膜の構成を示す模式図

【図10】駆動回路の一例を示すブロック図

【図11】本発明の電子源の別の構成を示す模式図

【図12】本発明の画像形成装置の別の構成を示す模式図

【図13】画像形成装置の製造に用いる装置の概要を示す模式図

【図14】フォーミング工程における配線の接続を示す模式図

【図15】A～Dは、本発明の電子源の製造手順を説明するための模式図

【図16】E～Hは、本発明の電子源の製造手順を説明するための模式図

【図17】本発明の画像形成装置の更に別の構成を示す模式図

【図18】本発明の電子源の更に別の構成を示す模式図

【図19】図18の構成の電子源の製造手順を説明するための模式図

【図20】Aは、従来の表面伝導型電子放出素子の構成を示す、模式図（平面図）

Bは、従来の表面伝導型電子放出素子の構成を示す、模式図（断面図）

【図21】混合ガスに曝露して還元したときの、導電性膜の電気抵抗の変化を示す。

【図22】Na含有量の違いによる、導電性膜の還元反

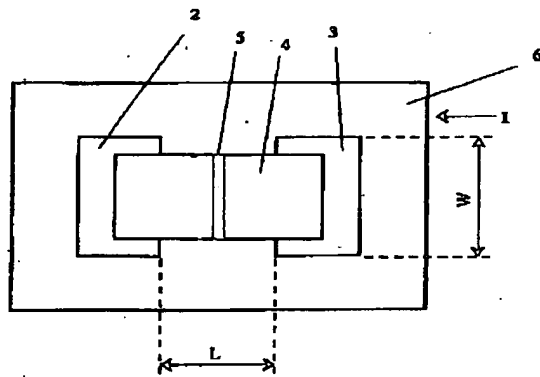
応速度の違いを示す模式図

【符号の説明】

- 1 基体（の本体）
- 2, 3 素子電極
- 4 導電性膜
- 5 電子放出部
- 6 表面処理層（脱Na処理層、Na捕獲層あるいはその両者の積層構造、あるいは脱硫処理層）
- 21 段差形成部材
- 50 素子電流 I_f を測定するための電流計
- 51 素子に電圧を印加するための電源
- 52 放出電流 I_e を測定するための電流計
- 53 高圧電源
- 54 アノード電極
- 55 真空容器
- 56 排気装置
- 71 基板
- 72 X方向配線
- 73 Y方向配線
- 74 電子放出素子
- 75 結線
- 81 リアプレート
- 82 支持枠
- 83 （フェースプレートの）ガラス基板
- 84 蛍光膜
- 85 メタルバック
- 86 フェースプレート
- 88 外圍器
- 91 黒色導電材
- 92 蛍光体
- 101 画像形成装置
- 102 走査回路
- 103 制御回路
- 104 シフトレジスタ
- 105 ラインメモリ
- 106 同期信号分離回路
- 107 変調信号発生回路
- 110 基板
- 111 電子放出素子
- 112 共通配線
- 120 グリッド電極
- 121 電子通過用空孔
- 122 共通配線と接続された容器外端子
- 123 グリッド電極と接続された容器外端子
- 131 画像形成装置
- 132 排気管
- 133 真空チャンバー
- 134 ゲートバルブ
- 135 排気装置
- 136 圧力形

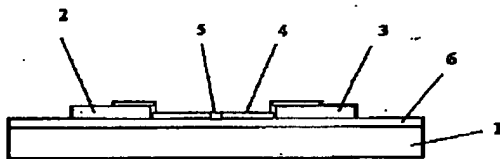
- 137 四重極質量分析器
- 138 ガス導入ライン
- 139 導入制御手段
- 140 導入物質源
- 141 共通電極
- 142 電源
- 143 電流測定用抵抗
- 144 オシロスコープ

【図1】

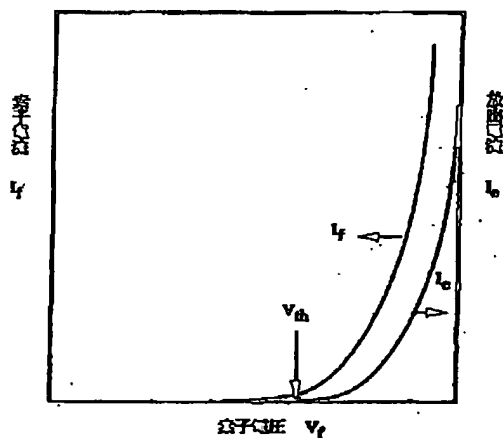


(a)

(b)

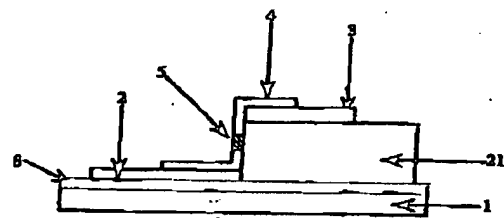


【図6】

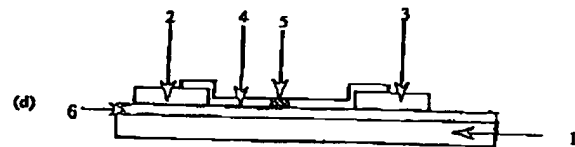
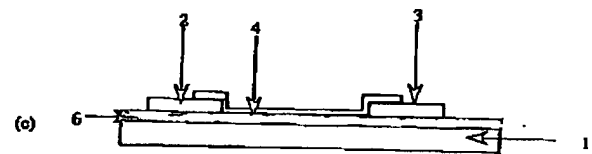
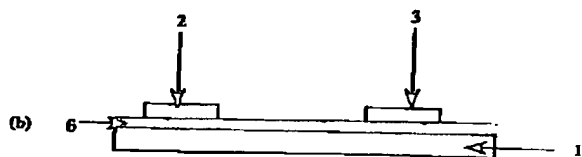
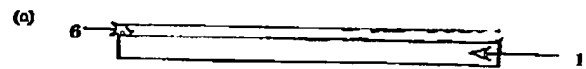


- 151 層間絶縁層
- 152 コンタクトホール
- 161 表面処理層の設けられていない部分
- 171 素子電極
- 172 下配線
- 173 層間絶縁層
- 174 上配線

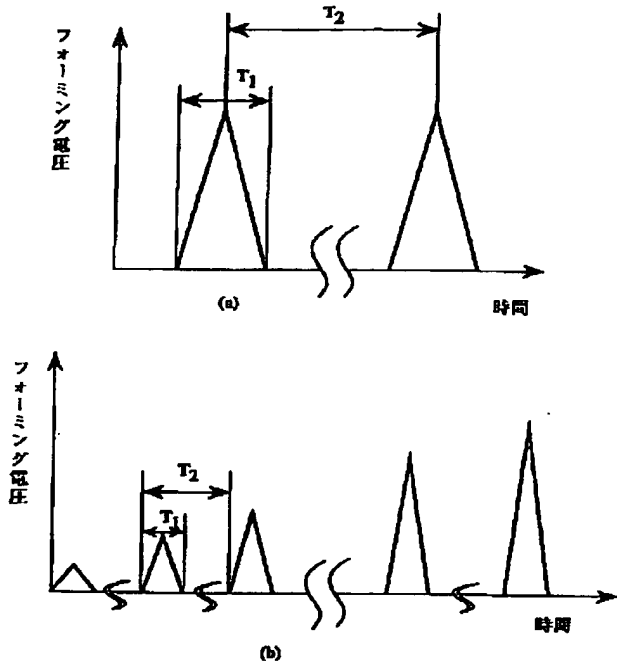
【図2】



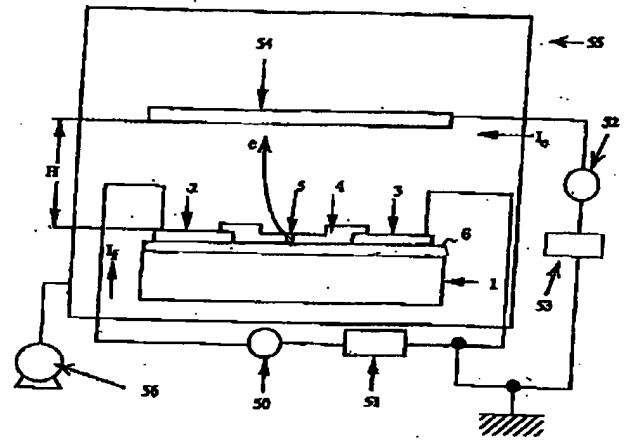
【図3】



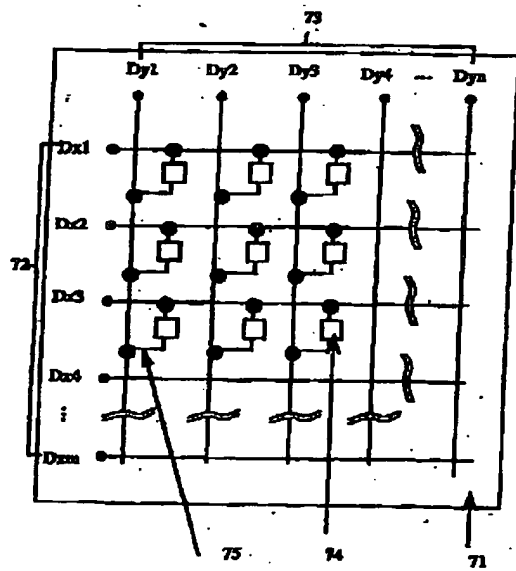
【図4】



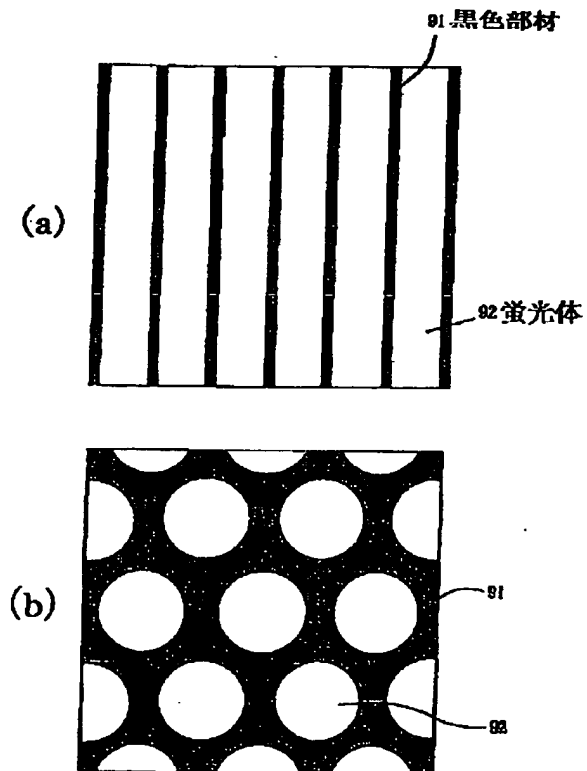
【図5】



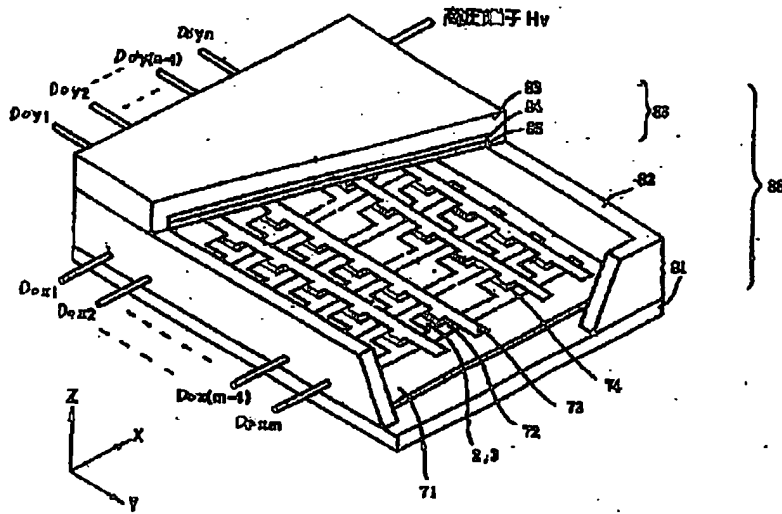
【図7】



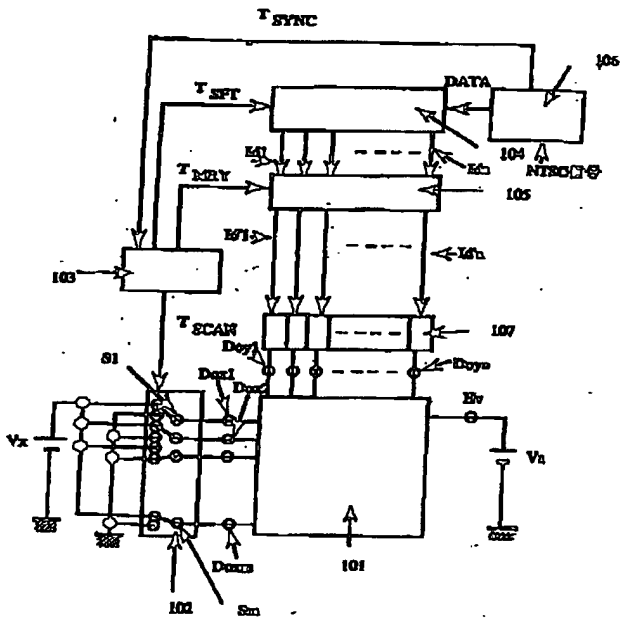
【図9】



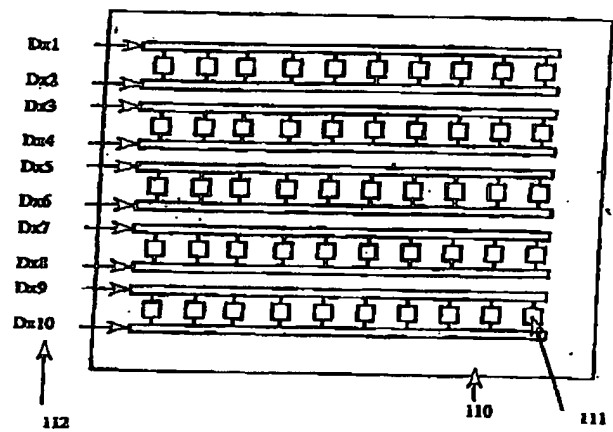
【図8】



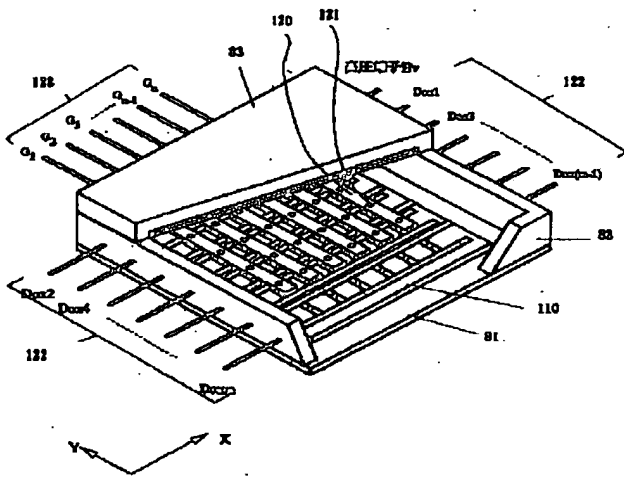
【図10】



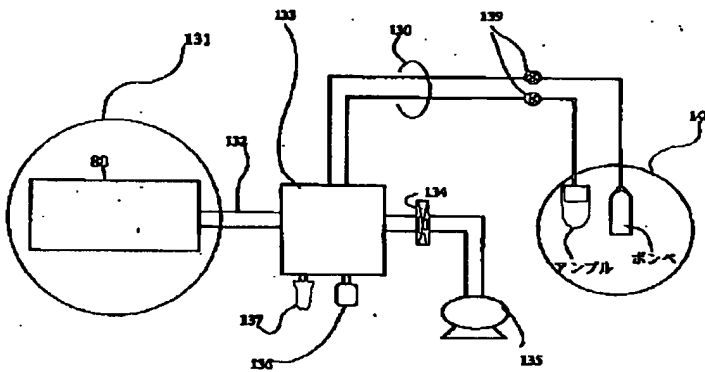
【図11】



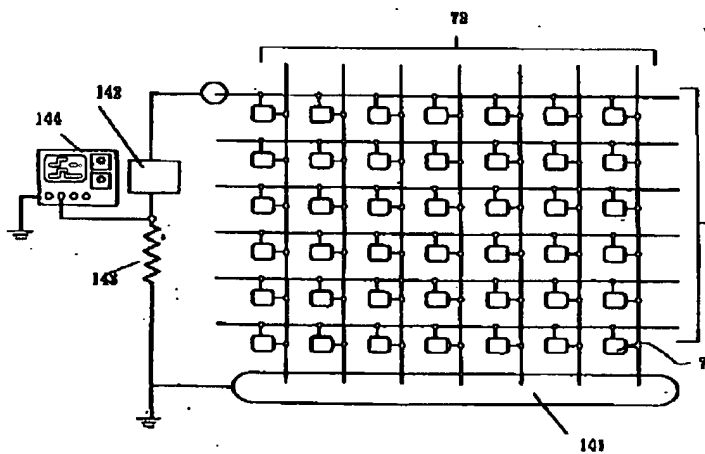
【图 12】



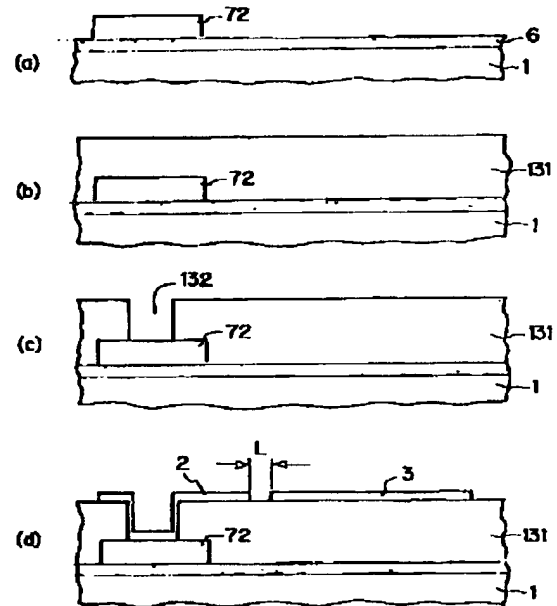
【图 13】



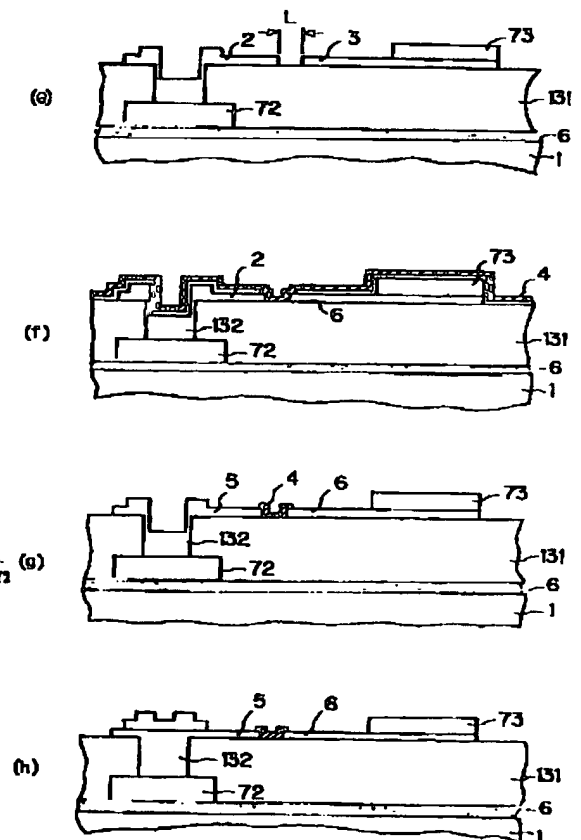
【図 14】



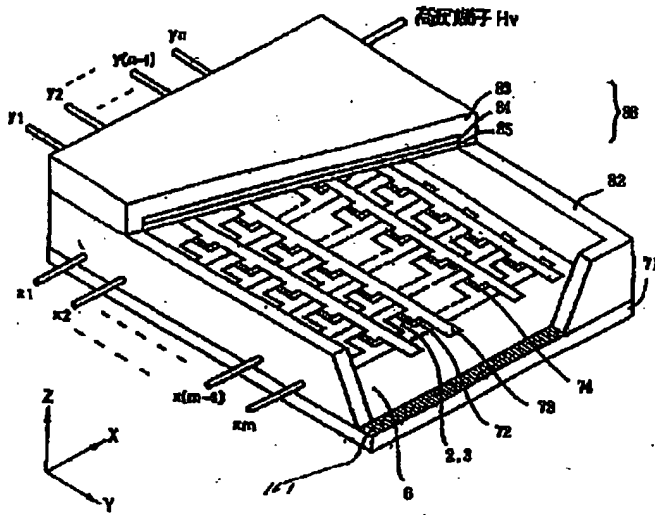
【图 15】



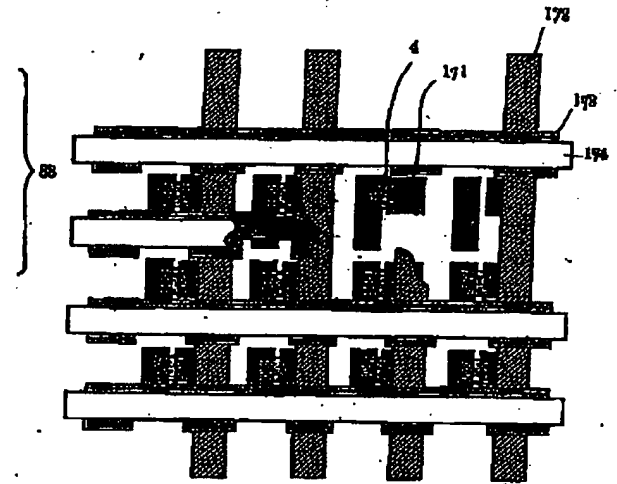
【図 16】



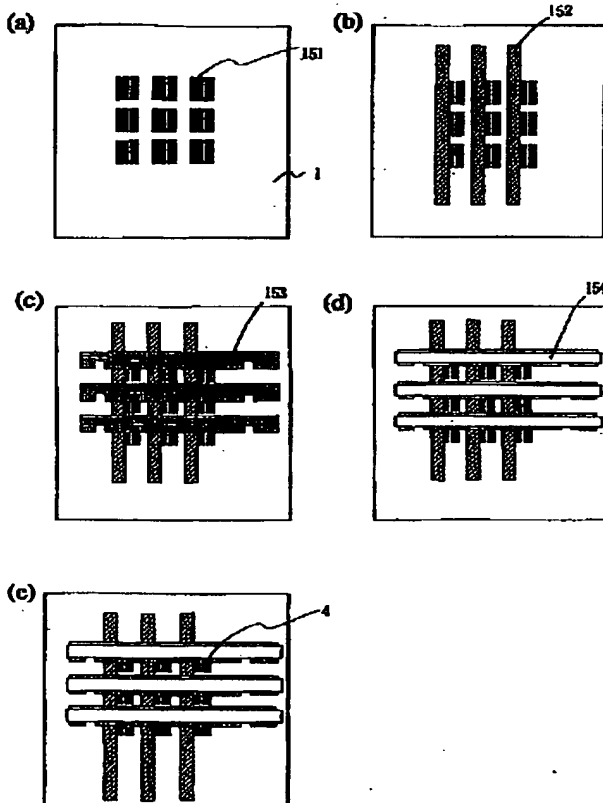
【図17】



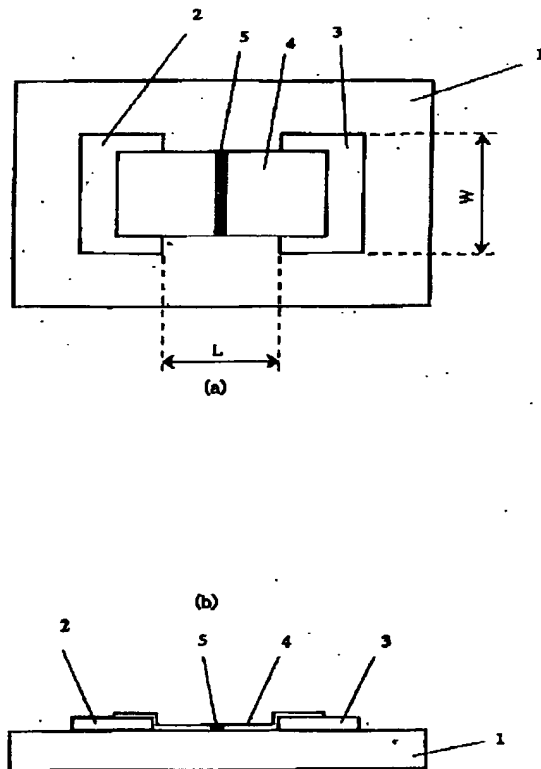
【図18】



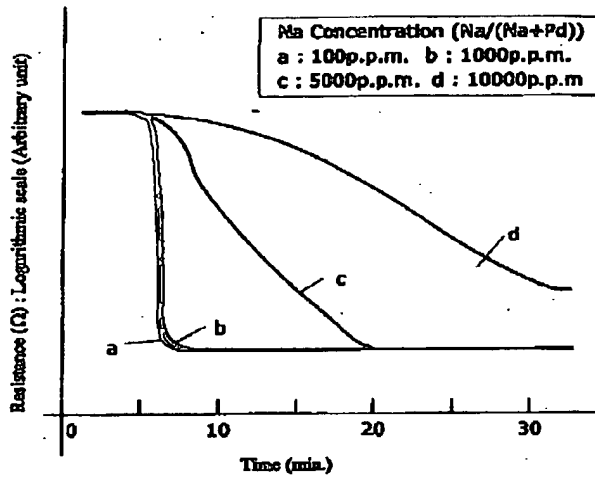
【図19】



【図20】



【図21】



【図22】

